

TECHNIQUES FOR FABRICATING AND PACKAGING MULTI-WAVELENGTH SEMICONDUCTOR LASER ARRAY DEVICES (CHIPS) AND THEIR APPLICATIONS IN SYSTEM ARCHITECTURES

Publication number: JP2001517866T

Publication date: 2001-10-09

Inventor:

Applicant:

Classification:






- International: **G02B6/42; G03F1/00; H01S5/022; H01S5/40; H01S5/028; H01S5/042; H01S5/10; H01S5/12; H01S5/125; H01S5/187; H01S5/22; G02B6/42; G03F1/00; H01S5/00;** (IPC1-7): G03F1/08; G03F7/40; H01S5/22; G03F7/20; H01L21/027; H01L21/3065

- european: G02B6/42C8; G03F1/00G8; H01S5/022; H01S5/40H

Application number: JP20000513174T 19980914

Priority number(s): US19970059446P 19970922; US19970063560P 19971028; US19980031496 19980226; WO1998US19178 19980914

Also published as:

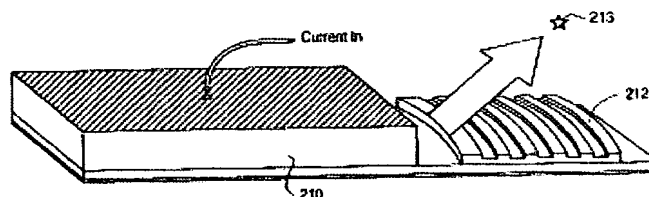
 WO9915934 (A1)
 EP1021749 (A1)
 US2002028390 (A1)
 EP1021749 (A0)
 CA2304795 (A1)

[Report a data error here](#)

Abstract not available for JP2001517866T

Abstract of corresponding document: **US2002028390**

Phase masks which can be used to make both linear and curved gratings of single or multiple submicron pitches, with or without any abrupt quarter-wavelength shifts (or gradually varying finer phase shifts) simultaneously on the wafer/substrate. The phase masks are made using direct write electron or ion-beam lithography of two times the required submicron pitches of linear and curved gratings on commercially available pi phase-shifting material on a quartz substrate and wet or dry etching of the pi phase-shifting material. The phase masks can be used in connection with making multi-wavelength laser diode chips. The laser diodes have a ridge structure with metal shoulders on either side of the ridge. The laser diode chip, with different wavelength lasers, is bonded and interfaced to a novel microwave substrate that allows for high signal-to-noise ratio and low crosstalk. The substrate is packaged in a low loss rugged housing for WDM applications.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2001-517866

(P2001-517866A)

(43) 公表日 平成13年10月9日 (2001.10.9)

(51) Int.Cl. ⁷	識別記号	F I	テマート* (参考)
H 0 1 S 5/22	6 1 0	H 0 1 S 5/22	6 1 0 2 H 0 9 5
G 0 3 F 7/20	5 0 1	G 0 3 F 7/20	5 0 1 2 H 0 9 6
H 0 1 L 21/027		1/08	A 2 H 0 9 7
21/3065		7/40	5 2 1 5 F 0 0 4
// G 0 3 F 1/08		H 0 1 L 21/30	5 0 2 P 5 F 0 7 3
		審査請求 有	予備審査請求 有 (全 83 頁) 最終頁に続く

(21) 出願番号 特願2000-513174(P2000-513174)
 (86) (22) 出願日 平成10年9月14日(1998.9.14)
 (85) 翻訳文提出日 平成12年3月22日(2000.3.22)
 (86) 国際出願番号 PCT/US98/19178
 (87) 国際公開番号 WO99/15934
 (87) 国際公開日 平成11年4月1日(1999.4.1)
 (31) 優先権主張番号 60/059, 446
 (32) 優先日 平成9年9月22日(1997.9.22)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 60/063, 560
 (32) 優先日 平成9年10月28日(1997.10.28)
 (33) 優先権主張国 米国 (US)

(71) 出願人 クアンタム デバイシーズ, インコーポ
 レイテッド
 アメリカ合衆国 カリフォルニア 92887,
 ヨルバ リンダ, ラ パルマ アベニ
 ュー 22349, スイート 112
 (72) 発明者 マゼド, モハマド エイ,
 アメリカ合衆国 カリフォルニア 91709,
 チノ ヒルズ, ポイント クービー
 2462
 (74) 代理人 弁理士 山本 秀策

最終頁に続く

(54) 【発明の名称】 多波長半導体レーザアレイ装置 (チップ) を製造および実装する技術、ならびにシステムアーキ
 テクチャにおけるその応用

(57) 【要約】

急激な四分の一波長シフト (または徐々に変化するより
 微細な位相シフト) を伴ってまたは伴わずに、ウエハ/
 基板上に同時に単一または多数のサブミクロンピッチの
 直線グレーティングおよびカーブグレーティングを作製
 するために用いることができる位相マスクである。この
 位相マスクは、石英基板上の市販で入手可能な π 位相シ
 フト材料上への直線およびカーブグレーティングの必要
 とされるサブミクロンピッチの2倍のピッチでの直接書
 き込み電子またはイオンビームリソグラフィと、 π 位相
 シフト材料のウェットまたはドライエッチングとを用い
 て作製される。この位相マスクは、多波長レーザダイオ
 ードチップの作製に関して用いることができる。レーザ
 ダイオードは、リッジの両側に金属シオルダを有するリ
 ッジ構造を有する。異なる波長のレーザを有するレーザ
 ダイオードチップは、高い信号対雑音比および低クロス
 トークを可能にする新規なマイクロ波基板にボンディン
 グされ、インタフェースされる。この基板は、WDMの
 応用の場合、低損失の起伏のあるハウジングに実装され
 る。

【特許請求の範囲】

【請求項 1】 特定の波長の光とともに使用される位相マスクを形成する方法であって、

上に位相シフト材料層を有する基板を設ける工程と、

該位相シフト材料層をレジスト材料でコーティングする工程と、

電子ビームまたはイオンビームリソグラフィを用いて該レジスト材料をパターンニングし、サブミクロンピッチのマスクグレーティングパターンを規定する工程と、

露光された位相シフト材料をエッチングして、基板材料を露出するステップと、

該レジスト材料を除去して、該マスクグレーティングパターンに従った、露出された基板材料の領域と交互になる位相シフト材料の領域を現す工程と、を包含する、方法。

【請求項 2】 前記位相シフト材料層が、前記基板と、位相シフト材料の所与の領域とを通過する前記特定の波長の光の位相を、露出された基板の隣接する領域を通過する該特定の波長の光の位相と 180 度ずらす、請求項 1 に記載の方法。

【請求項 3】 前記レジスト材料が、多層構造である、請求項 1 に記載の方法。

【請求項 4】 前記マスクグレーティングパターンが、複数のマスクグレーティングピッチを含む、請求項 1 に記載の方法。

【請求項 5】 前記複数のマスクグレーティングピッチが、前記位相マスクの別個の領域にある、請求項 4 に記載の方法。

【請求項 6】 前記マスクグレーティングパターンが、前記マスクグレーティングピッチの半分に対応する位相シフトを含む、請求項 1 に記載の方法。

【請求項 7】 前記マスクグレーティングパターンが、連続的に変化するピッチの少なくとも 1 つのカーブグレーティングパターンまたは少なくとも 1 つのグレーティングを含む、請求項 1 に記載の方法。

【請求項 8】 前記パターンニング工程が、サブフィールドおよびフィールド

ステッチングエラーを減らすために、部分照射線量での多数のパスを用いて行われる、請求項1に記載の方法。

【請求項9】 前記エッチング工程が、塩素および酸素を含むガス混合物を用いて、前記露光された位相シフト材料のサブミクロン異方性反応性イオン（マグネトロン増強）エッチングを行う工程を包含する、請求項1に記載の方法。

【請求項10】 前記ガス混合物が、80%～90%の塩素と、10%～20%の酸素とを含む、請求項9に記載の方法。

【請求項11】 前記レジスト材料がゲルマニウムを含み、
前記パターニング工程が、脱イオン水を用いて自然酸化ゲルマニウムを除去し、その後、四フッ化炭素ガスを用いてゲルマニウムの等方性反応性イオンエッチングを行う工程を包含する、請求項1に記載の方法。

【請求項12】 前記レジスト材料がシリコンを含み、
前記パターニング工程が、四フッ化炭素ガスを用いてシリコンの等方性反応性イオンエッチングを行う工程を包含する、請求項1に記載の方法。

【請求項13】 前記パターニング工程が、酸素ガスを用いて前記レジスト材料をエッチングする工程を包含する、請求項1に記載の方法。

【請求項14】 前記サブミクロンピッチが、400nm未満である、請求項1に記載の方法。

【請求項15】 特定の波長の光とともに使用される位相マスクを形成する方法であって、

基板を設ける工程と、

該基板をレジスト材料でコーティングする工程と、

電子ビームまたはイオンビームリソグラフィを用いて該レジスト材料をパターニングし、サブミクロンピッチのマスクグレーティングパターンを規定する工程と、

該露光された基板を、特定の深さまでエッチングする工程と、

該レジスト材料を除去して、該マスクグレーティングパターンに従った、エッチングされていない基板材料の領域と交互になるエッチングされた基板の領域を現す工程と、を包含し、

該特定の深さが、エッチングされた基板の所与の領域を通過する該特定の波長の光の位相が、エッチングされていない基板の隣接する領域を通過する該特定の波長の光の位相と180度ずれるような深さである、方法。

【請求項16】 前記レジスト材料が、多層構造である、請求項15に記載の方法。

【請求項17】 前記マスクグレーティングパターンが、複数のマスクグレーティングピッチを含む、請求項15に記載の方法。

【請求項18】 前記複数のマスクグレーティングピッチが、前記位相マスクの別個の領域にある、請求項17に記載の方法。

【請求項19】 前記マスクグレーティングパターンが、前記マスクグレーティングピッチの半分に対応する位相シフトを含む、請求項15に記載の方法。

【請求項20】 前記マスクグレーティングパターンが、少なくとも1つのカーブグレーティングパターンを含む、請求項15に記載の方法。

【請求項21】 前記パターンニング工程が、サブフィールドおよびフィールドステッチングエラーを減らすために、部分照射線量での多数のパスを用いて行われる、請求項15に記載の方法。

【請求項22】 前記エッチング工程が、四フッ化炭素およびアルゴンを含むガス混合物を用いて反応性イオンエッチングを包含する、請求項15に記載の方法。

【請求項23】 前記ガス混合物が、95%～98%の四フッ化炭素および2%～5%のアルゴンを含む、請求項15に記載の方法。

【請求項24】 半導体光学装置において所望の装置グレーティング構造を製造する方法であって、該装置グレーティング構造は、1つ以上の所望のピッチ値に特徴づけられる特徴を有し、該方法は、

該所望の装置グレーティング構造に対応する特徴であって、1つ以上のピッチ値に特徴づけられる特徴を有する対応するマスクグレーティング構造を有する位相マスクを提供する工程を包含し、該マスクグレーティング構造の各ピッチ値は、該所望の装置グレーティング構造の対応するピッチ値の2倍であり、

該マスクグレーティング構造の特徴は、交互の第1および第2の光学的厚さを

有する交互の領域によって規定され、

該半導体装置の少なくとも部分が形成される基板を設ける工程をさらに包含し、
該基板は、フォトレジスト材料で覆われ、

該基板に近接してまたは接して該位相マスクを堆積させる工程と、

該位相マスクに、特定の波長の垂直に入射する光を照射して、該基板上の該フォトレジストを露光する工程と、をさらに包含し、

該特定の波長は、該位相マスクの該交互の領域の1つを通過する該特定の波長の光の位相と、該位相マスクの該交互の領域の隣接する領域を通過する光の波長とが、180度ずれるような波長であり、

該フォトレジストに当たる光が、該マスクグレーティング特徴の対応するピッチ値の半分のピッチ値を有する強度分布に特徴づけられ、該強度分布が、該所望の装置グレーティング構造に対応し、

該フォトレジストを現像する工程と、

該基板をエッチングして、該基板上に該所望の装置グレーティング構造を与える工程と、をさらに包含する、方法。

【請求項25】 前記位相マスク特徴が、(a) 基板材料上の位相シフト材料と、(b) 位相シフト材料のない該基板材料と、の交互の領域によって規定される、請求項24に記載の方法。

【請求項26】 前記位相マスク特徴が、マスク材料のエッチングされていない領域と交互になる該マスク材料のエッチングされた領域により規定される、請求項24に記載の方法。

【請求項27】 前記所望の装置グレーティング構造の各ピッチ値が、200nm未満である、請求項24に記載の方法。

【請求項28】 前記垂直に入射する光が、コヒーレントである、請求項24に記載の方法。

【請求項29】 前記垂直に入射する光が、インコヒーレントである、請求項24に記載の方法。

【請求項30】 カーブ面を有するレーザダイオードと組み合わせて、請求項24に記載の方法によって製造されるカーブグレーティングを含む、高出力不

安定共振器レーザ。

【請求項31】 遠隔光ファイバ内に光を放出するための垂直に集束するレーザであって、レーザダイオードと組み合わせて、請求項24に記載の方法に従って製造されるカーブグレーティングを含む、レーザ。

【請求項32】 半導体基板と、該基板上に形成される多層レーザ構造とを有する半導体レーザダイオードチップを製造する方法において、改良が、プラズマ増強CVDプロセスを用いて、低応力で密な低水素含有量の窒化ケイ素層を生成する工程を包含する、方法。

【請求項33】 半導体基板と、該基板上に形成される多層レーザ構造とを有する半導体レーザダイオードチップを製造する方法において、改良が、絶縁層として有機シクロテン層を生成する工程を包含する、方法。

【請求項34】 p-ドーフト半導体への確実な金属含有量を確立する方法であって、

チタン、窒化チタン、白金、および金の層を順次堆積させる工程を包含する、方法。

【請求項35】 n-ドーフト半導体材料への確実な金属含有量を確立する方法であって、ニッケル、ゲルマニウム、金、ニッケル、銀、および金の層を順次堆積させる工程を包含する、方法。

【請求項36】 n-ドーフト半導体材料への確実な金属含有量を確立する方法であって、ゲルマニウム、金、ニッケル、タングステンシリサイド、チタン、および金の層を順次堆積させる工程を包含する、方法。

【請求項37】 少なくとも1つの光透過面を有する半導体レーザの製造において、低電力広面積アルゴンイオンビームを用いて、または、低エネルギー低圧電子サイクロトロン共鳴を用いて、該面上の自然酸化物を除去し、連続的な水素、窒素およびアルゴンプラズマを生成する工程を包含する、改良。

【請求項38】 レーザダイオードチップであって、

半導体基板と、

該基板上に形成される多層レーザ構造と、を含み、該レーザ構造は、間にリッジ導波管を規定する第1および第2の間隔がつけられたトレンチを有する上面に

より境界が定められ、該リッジ導波管は、光伝搬方向に沿って延び、

該外面上で、該トレンチに近接する場所に形成され、該トレンチによって該リッジ導波管から分離される第1および第2の金属ショルダをさらに含み、該ショルダは、該上面の上に延びて、該リッジ導波管を保護する、レーザダイオードチップ。

【請求項39】 前記レーザ構造が、前記リッジ導波管の下に配置されるグレーティングを含み、該グレーティングが前記上面に平行な平面に配置され、前記光伝搬方向に垂直な方向に延びるグレーティングラインを有する、請求項38に記載のレーザダイオードチップ。

【請求項40】 前記レーザグレーティング構造が、グレーティングピッチの半分に対応する位相シフト領域を含む、請求項39に記載のレーザダイオードチップ。

【請求項41】 前記基板上に形成される別のレーザ構造をさらに含み、該別のレーザ構造は、別のリッジ導波管と、該別のリッジ導波管の下に配置される別のグレーティングと、を含み、該別のグレーティングが、最初に述べたグレーティングとは異なるピッチを有する、請求項39に記載のレーザダイオードチップ。

【請求項42】 Ta_2O_5 (酸化タンタル) および Al_2O_3 (酸化アルミニウム) を含むレーザダイオード面のための反射防止コーティング。

【請求項43】 レーザチップモジュールであって、
ハウジングを含み、該ハウジングは、該ハウジングの外側から該ハウジング内部に信号を伝達するための複数のピンを有し、

該ハウジングに取り付けられる誘電体基板をさらに含み、該基板は、上面と、メタライズされた下面とを有し、

該基板の該上面に取り付けられるレーザチップと、

該基板の該表面上の第1および第2の導電信号线と、をさらに含み、該信号線は、特定の第1および第2の入力ピンから、該レーザチップのそれぞれの場所または該レーザチップ付近のそれぞれの場所まで延び、

該基板は、該メタライズされた下面に電氣的に接続されるメタライズされたバ

ビアホールを有するように形成され、該ビアホールは、該信号線の各々が両側に複数のビアホールを有し、且つ、該ビアホールの少なくとも幾つかが該信号線の間に配置されるように、パターンを形成し、

該基板の上に配置され、該ビアホールによって該メタライズされた下面に電氣的に接続される金属構造をさらに含む、レーザチップモジュール。

【請求項44】 前記伝送線が、一定の幅である、請求項43に記載のレーザチップモジュール。

【請求項45】 前記金属構造が、前記基板上のメタライズされたトレースであって、前記ビアホールに接触するトレースを含む、請求項43に記載のレーザチップモジュール。

【請求項46】 前記メタライズされたトレースが、一定の幅である、請求項44に記載のレーザチップモジュール。

【請求項47】 前記メタライズされたトレースの少なくとも1つが、テープ状である、請求項44に記載のレーザチップモジュール。

【請求項48】 前記ビアホールのパターンが、前記信号線の各々に沿って分布されるビアホール対を含み、

前記金属構造が、該信号線の一方側のそれぞれのビアホールから、信号ホールの他方側のそれぞれのビアホールまで延びるワイヤアーチを含む、請求項43に記載のレーザチップモジュール。

【請求項49】 レーザダイオードの数が、8個以上である、請求項43に記載のレーザチップモジュール。

【請求項50】 ファイバオプティックリンクによって接続されるノードを含むネットワークであって、少なくとも1つのリンクは、WDM機器を有するノードで終端され、改良において、端末機器が、該WDM機器に光結合され、

複数の波長の独立して変調される光を提供するための多波長リッジレーザダイオードアレイチップを有する多波長レーザモジュールを含む、ネットワーク。

【発明の詳細な説明】

【0001】

(関連技術の相互参照)

本願は、以下の米国仮出願の優先権を主張し、本明細書において、以下の米国仮出願の開示全体を、あらゆる目的のために参考として援用する。

【0002】

「TECHNIQUES FOR FABRICATING AND PACKAGING MULTI-WAVELENGTH SEMICONDUCTOR LASER ARRAY DEVICES (CHIPS) AND THEIR APPLICATIONS IN SYSTEM ARCHITECTURES」と題された、1997年9月22日出願の、Mohammad A. Mazedの出願番号第60/059,446号 (Attorney Docket No. 18579-1)、および

「TECHNIQUES FOR FABRICATING AND PACKAGING MULTI-WAVELENGTH SEMICONDUCTOR LASER ARRAY DEVICES (CHIPS) AND THEIR APPLICATIONS IN SYSTEM ARCHITECTURES」と題された、1997年10月28日出願の、Mohammad A. Mazedの出願番号第60/063,560号 (Attorney Docket No. 18579-1-1)。

【0003】

(発明の背景)

本願は概して、光通信に関し、具体的には、多波長分布帰還型 (DFB) 半導体レーザ (レーザダイオード) アレイを製造および実装する技術に関する。本明細書で引用されるすべての特許文献およびその他の刊行物の全体を、本明細書において、あらゆる目的のために参考として援用する。

【0004】

通信 (電話および計算) 技術の急速な進歩により、世界中の至る所で、人々が音声、ビデオ、およびデータを介してつながる方法が根本的に変化している。こ

これらの技術は、応用で大きく変わり得るが、すべての技術は共通の要求を共有している。即ち、 10 Mbit/sec から 100 Gbit/sec およびそれを越えるますます速い速度およびますます多くのバンド幅への絶えず増大している要求である。バンド幅増加の要求は、無線伝送網およびファイバオプティック伝送網の両方において等しく切実である。

【 0 0 0 5 】

無線技術は、配線を全く使用せずに通信する自由を与えるが、無線技術は、現在のところ、低バンド幅の応用から中バンド幅の応用だけに制限され得る。高バンド幅の応用 (10 Gbit/s を越える) の場合、現時点では、有線ファイバオプティック技術が、唯一のコスト効率のよい解決策であるように思われる。100年を越える期間にわたって、標準の銅ケーブルが遠隔通信に用いられてきたが、ファイバオプティック (円筒形のガラス導管) は、音声、ビデオ、およびデータを、標準の銅ケーブルの100倍の速さで伝送することができる。残念なことに、今現在、光-電子およびその逆の変換方法の制限のため、ファイバオプティック技術の能力のほんのわずかな部分しか実現されていない。

【 0 0 0 6 】

エルビウムドープト光ファイバ増幅器の発明により、ネットワークにおける光-電子変換の必要は、最小限にされる。従って、光学フォーマットの信号を維持し、そして波長分割マルチプレクス/デマルチプレクス技術 (WDM/WDDM、または、単にWDMと呼ばれることもある) を用いることにより、即ち、同じ光ファイバを介して多数の異なる波長 (別個の異なる波長で中ビットレート) を用いることにより、大きな総ビットレートを達成することができる。

【 0 0 0 7 】

多くの波長にわたる均一な増幅を可能にするため、40を上回る波長を伝送することが可能である (100 GHz または 0.8 nm の波長間隔であり、各波長が $2.5\text{ Gbit/s} \sim 10\text{ Gbit/s}$ のビットレートで動作すると仮定する)。今日製造されているWDMシステムは、個別の特定波長向け構成要素 (送信器/マルチプレクサおよびフィルタ/デマルチプレクサ) を使用する。

【 0 0 0 8 】

現在の波長が正規化された平均的なWDMシステムの波長あたりの価格は、超長距離（約600km）遠隔通信の応用では\$60,000のオーダーであり、短距離（約60km）遠隔通信の応用では、\$25,000のオーダーである。WDM構成要素の価格が低下し、WDM技術の展開コストが経済的になると、大都市、地方電話、家庭へのファイバ、およびデータ通信の市場において、WDM技術を展開することが可能になる。

【0009】

直線およびカーブグレーティングは、分布帰還型（DFB）レーザ、分布型ブラッグリフレクタ（DBR）レーザ、カーブグレーティングを有する不安定共振器レーザ、垂直に集束するレーザ、およびフィルタ、などの多くの高度な能動および受動光電子装置の主要な要素である。これらの高度な装置は、電話および計算用のファイバオプティック通信システムにおいて重要な役割を果たす。

【0010】

必要とされるタイプのグレーティングを製造する公知の技術は多数あるが、これらの技術は、典型的には、多数の不利な点を特徴とする。例えば、直接書き込み電子ビームリソグラフィは、ファインピッチ制御と、四分の一波長またはそれよりも微細な位相シフトおよび任意の形状のグレーティングを作り出す能力との利点を有する。しかし、直接書き込み電子ビームリソグラフィは、高い設備費と、低スループットとを特徴とし、勢いのある電子ビームの衝突のため、ウェハに潜在的な材料損傷を与える。二値位相マスクを用いるその他のアプローチは、高スループット、ファインピッチ制御、および、四分の一波長またはそれよりも微細な位相シフトおよび任意の形状のグレーティングを作り出す能力、という利点を有する。しかし、これらのアプローチは、複雑な製造手順を特徴とし得、マスクピッチ（例えば、200nm）に相応するグレーティングピッチに制限される。

【0011】

（発明の要旨）

本発明は、急激な四分の一波長シフト（または徐々に変化するより微細な位相シフト）を伴ってまたは伴わずに、ウェハ／基板上に同時に単一または多数のサ

ブミクロンピッチ（連続的に変化するピッチを含む）の直線グレーティングおよびカーブグレーティングを作製するために用いることができる位相マスクを製造するロバストプロセスを提供する。これは、多波長レーザダイオードアレイ（レーザチップ）の実用的な商業用の製造を可能にする。本発明はまた、耐久性および信頼性のあるレーザチップを製造し、これらのレーザチップを効率的に実装し、そしてこれらのレーザチップをレーザドライバチップにインタフェースする技術を提供する。レーザチップは、標準の半導体プロセスを用いて作製することができるが、本発明の実施形態は、そのようなプロセスの幾つかをさらに強化して、高い製造可能性およびレーザチップ信頼性を提供する。

【 0 0 1 2 】

本発明は、石英基板上の市販で入手可能な π 位相シフト材料上の（位相シフト領域を有するまたは有していない）直線およびカーブグレーティングの必要とされるサブミクロンピッチの2倍のピッチでの直接書き込み電子またはイオンビームリソグラフィと、 π 位相シフト材料のウェットまたはドライエッチングとを使用する。 π 位相シフト材料のウェットまたはドライエッチングは、ゼロ次のゼロにされた π 位相シフト位相マスク（zero-order nulled π phase-shift phase mask）を作るために必要な正確な π 位相シフトを作り出す。別の実施形態では、 π 位相シフトマスクは、石英基板上に直接書き込みを行い、そして（伝送および回折された）ゼロ次ビームをキャンセルするよう非常に正確な深さまで石英基板をエッチングすることにより、作られる。このように、本発明は、200nm未満のピッチの直線および／またはカーブグレーティングを電子またはイオンビームリソグラフィで製造する場合の臨界ピッチ寸法を緩和する。

【 0 0 1 3 】

本発明はまた、レーザの活性領域の両側に金属ショルダを有する改良されたリッジレーザ構造を提供する。これらのショルダは、絶縁層の上に形成されるが、一方のショルダは、リッジ導波管半導体材料へのコンタクト金属により電氣的に接続される。

【 0 0 1 4 】

本発明はまた、情報を保持する信号を、非常に高い忠実度でレーザチップに結合する改良された技術を提供する。これは、非常に高い周波数（例えば、10 GHz）の多数の信号を、干渉（クロストークとして知られている）による低下を伴わずに伝えることができる回路を設計することにより達成される。本発明のこの局面によれば、メタライズされたバイアホール（via hole）が、基板の上の金属構造を、基板の下の裏側接地面に接続する。1つの実施形態では、金属構造は、基板の上面でRF/DC伝送線を散在させた接地線である。接地線に、メタライズされたバイアが貫通する。別の実施形態では、バイアは、RF/DC伝送線に沿って分布される対で配置されてもよく、各対の一方のバイアは、RF/DC伝送線の一方側にあり、その対の他方のバイアは、RF/DC伝送線の他方側にある。この場合の金属構造は、RF/DC伝送線の上にあり且つ両側のバイア内に延びる個々のワイヤアーチであってもよい。

【0015】

本発明の本質および利点のさらなる理解は、図面および明細書の残りの部分を参照することにより、実現され得る。

【0016】

（特定の実施形態の説明）

1. 0 分布帰還型（DFB）レーザ構造の概要

図1Aは、本発明の実施形態による多波長分布帰還型（DFB）リッジレーザダイオードアレイ10の概略図である。レーザアレイ10は、レーザチップと呼ばれることもある。レーザチップ10は、単一の基板上に複数のリッジレーザダイオード素子を含み、示された特定の実施形態では、10a、10b、10c、および10dとして示される4つのリッジレーザダイオード素子を含む。各リッジレーザダイオード素子は、単にレーザと呼ばれることもあり、異なる波長の光を放出するように構成される。この波長は、 λ_1 、 λ_2 、 λ_3 、および λ_4 として示される。レーザはそれぞれ、関連するグレーティング15a～15dを有し、グレーティングのそれぞれのピッチが、レーザのそれぞれの波長を決定する。以下に説明されるように、本発明の技術は、同じ基板上に異なるピッチのグレーティングをエッチングすることを容易にする。レーザの数は、これよりも少なくとも

多くてもよい（例えば、図1Bに示されるように、8個であってもよい）。

【0017】

レーザチップ10は、頂部および底部と呼ばれるものを規定する特定の向きで示されているが、以下に説明されるように、レーザチップは、好ましくは、熱伝達を向上するために、逆さにしてからモジュールの基板上に取り付けられる。

【0018】

特定の実施形態では、レーザ波長は、1555nm付近であり、多くの電流ファイバオプティック通信モジュールおよびシステムが、この波長のために構成されている。波長は、約3.2nmずつ間隔がつけられる。この間隔は、約0.5nmずつ間隔がつけられたグレーティングピッチに対応する。例えば、238.5nm、239.0nm、239.5nm、および240.0nmのグレーティングピッチを有するレーザチップの実施形態は、それぞれ1548.82nm、1552.02nm、1555.22nm、および1558.42nmの波長での動作を提供する。0.8nmまたは1.6nmずつ間隔がつけられた波長を有することも可能である。

【0019】

同じチップ上に異なるピッチのグレーティングを製造する本発明の能力は、言い換えると、重要な利点、即ち、多波長DFBレーザチップを提供する能力である。このチップは、応用によって、所与の時間に任意の1つの波長を選択して動作させてもよく、すべての波長を同時に伝送させて動作させてもよい。単一のチップから多数の波長を同時に伝送する能力は、WDMシステムのコスト削減を可能にすることに注目されたい。

【0020】

さらに、同じチップ上に異なるピッチのグレーティングを製造する本発明の能力が、個々のレーザダイオードの製造に関する利点も提供することに注目されたい。ウエハに罫書きをしてチップにする前にウエハ上に多数のピッチのグレーティングを有する能力は、単一のウエハに罫書きをして多波長レーザアレイチップまたは単一レーザチップにすることを可能にし、その結果、同じウエハから、異なる波長を有するレーザが得られる。

【 0 0 2 1 】

レーザの間での望ましくない光学的、熱的および電氣的クロストークは、レーザアレイチップ上でレーザを約500ミクロンずつ物理的に分離し、そして、隣接するレーザ間に分離トレンチ17を形成することにより、ある程度まで最小限に抑えられる。

【 0 0 2 2 】

図1Cは、レーザのうちの1つ、例えば、レーザ10aを示す拡大図である。レーザの活性領域20は、半導体材料のボディ内に形成される。このレーザは、リッジレーザと呼ばれる。なぜなら、ボディが、活性領域20の両側にトレンチ22および23を備えて形成され、グレーティング15aの上にあるリッジ25を規定するからである。トレンチ22および23の外側には、金属ショルダ対27aおよび27bが形成される。上側コンタクト金属層30(p+コンタクト)は、リッジの上にあり、下側(裏側)コンタクト金属層32(n+コンタクト)は、チップの底面上に配置される。コンタクト金属30は、下向きに続き、トレンチ22を通してトレンチ22の外側に延び、ショルダ27aの上に延びて、ボンドパッド35を提供する。この図はまた、レーザの様々な層と、レーザの活性領域とを概略的に示している。様々な層とは、n+基板42、下側クラッド層45、活性(量子井戸)層47、グレーティング層50、上側クラッド層52、およびp+コンタクト層55、などである。グレーティングパターンは、グレーティング層の選択領域にエッチングされ、グレーティングパターンのそれぞれのピッチが、個々のレーザ波長を規定する。グレーティング15aは、グレーティング層50のハッチング部分として示される。

【 0 0 2 3 】

特定の実施形態の代表的な寸法は、以下の詳細な説明のコンテキストを提供するために、例示の目的のためだけに与えられている。レーザチップ10は、長さ(レーザ共振器長)が約0.5mmで幅が2.0mmであり、そのため、個々のリッジレーザダイオードは、0.5mm(500ミクロン)ずつ間隔がつけられる。これらはマクロ寸法であるが、示された構造は、マイクロ構造である。例えば、リッジ25の幅は、約4ミクロンであり、トレンチ22および23の幅は、そ

れぞれ約30ミクロンであり、シオルダ27aおよび27bの幅は、それぞれ約20ミクロンである。トレンチ17の深さは、約1.5ミクロンであり、シオルダの厚さは、約2ミクロンである。

【0024】

チップの様々な層は、実質的にチップの面積全体にわたって延びているが、グレーティングパターンは、グレーティング層のわずかな面積にしか形成されず（例えば、約10ミクロンの幅）、各レーザの活性領域は、それぞれのリッジの下にある。グレーティングは、約0.05ミクロンの深さの特徴を有し、リッジの約0.4ミクロン下であって、活性層の約0.05ミクロン上に配置される。活性層自体の厚さは、約1ミクロンである。

【0025】

本明細書の以下の章では、レーザアレイ10において実施される技術の様々な局面を説明する。具体的には、以下の説明は、位相マスクの製造および使用、位相マスクを用いたグレーティング作製、多波長動作を支持するために多数のピッチのグレーティングを有するレーザチップの製造、チャネル間の分離の提供、ならびに、モジュールへのレーザチップの実装および組み込み、についての詳細を含む。

【0026】

2.0 グレーティングを作製するための位相マスク

2.1 位相シフトマスクと二値強度マスクとの比較

位相シフトマスクは、通常、位相マスクと呼ばれ、レーザチップの層50にグレーティングパターンを規定することに関して用いられる。位相マスクは、所望のグレーティング特徴のピッチの2倍のピッチを有するマスクを製造することができ、それにより、それ以外の方法で可能なグレーティングよりも微細なグレーティングを可能にするという利点を提供する。このことは、標準の二値強度マスク（BIM）と位相マスクとの以下の比較を参照すれば最良に理解することができる。以下に説明されるように、本発明は、ゼロ次（zero-order）ビームがキャンセルする場所で、対称の $m = +1$ および $m = -1$ のビームだけが干渉することを可能にし、空間周波数の倍増を引き起こす正味の π 位相シフト（ス

カラ光学に基づく)の特性を用いる。

【 0 0 2 7 】

図2Aは、二値強度マスク60の構造および動作を、位置を合わせた4つのセグメントで示す。図の最初のセグメントは、マスク60を示す。マスク60は、石英などの透明基板62を含み、透明基板62上には、クロムなどの不透明材料領域65が堆積される。不透明材料のパターンは、半導体装置上の層に複製されるパターンを規定する。このパターンは、ピッチを特徴とするか、あるいは、ピッチと言い換えることができる空間周波数を特徴とする。

【 0 0 2 8 】

図の2番目のセグメントは、マスク60の電場を、マスク表面に沿った距離の関数として示すプロットである。図から分かるように、マスク60の方向に沿った電場は、最大振幅とゼロ振幅との交互の領域を有する。これらの領域はそれぞれ、透明領域と不透明領域とに対応する。

【 0 0 2 9 】

3番目のセグメントは、ウエハ上の電場のプロットである。干渉およびその他の影響のため、ウエハ上の電場は、正のオフセットを中心にほぼ正弦曲線であり、マスクパターンの空間周波数に等しい空間周波数で、交互にゼロと最大振幅とになっている。

【 0 0 3 0 】

4番目のセグメントは、ウエハ上で結果として得られる強度のプロットである。ウエハ上の強度は、電場の二乗で得られ、マスク60上のパターンの空間周波数と同じ空間周波数を有することが分かる。

【 0 0 3 1 】

図2Bは、位相マスク70の構造および動作を、位置を合わせた対応する4つのセグメントで示す。マスク70は、マスク70の表面の部分にわたって少なくとも部分的に透明であるが、マスクを通る光路差を表す交互の部分72および75を含む。これらの交互の部分のピッチは、 Λ で示される。特定の実施形態では、位相シフトは、 π ラジアンである。従って、マスク70は、 π 位相シフトマスクと呼ばれる。マスクの2つの実施形態が、以下に説明される。1つの実施形態

(以下に、70Pで示される)では、マスクは、基板77を含み、領域75は、所定厚の別個の位相シフト材料層によって規定され、1つの実施形態(以下に、70Qで示される)では、材料は、モノリシック石英である。

【0032】

図の2番目のセグメントは、マスク70の光電場を、マスク表面に沿った距離の関数として示すプロットである。図から分かるように、マスク70の方向に沿った電場は、マスクパターンの空間周波数に対応する空間周波数(即ち、 Λ のピッチ)で、ゼロを中心として交互になっている。

【0033】

3番目のセグメントは、ウエハ上の電場のプロットである。干渉およびその他の影響のため、ウエハ上の電場は、ほぼ正弦曲線であり、同じ空間周波数で、ゼロを中心に振動している。

【0034】

4番目のセグメントは、ウエハ上で結果として得られる強度のプロットである。ウエハ上の強度は、電場の二乗で得られ、電場がゼロを中心に振動しているため、強度は、マスク70上のパターンの空間周波数の2倍の空間周波数(即ち、 $\Lambda/2$ のピッチ)で周期的になっている。

【0035】

2. 2 位相シフト材料を用いた位相マスクの製造

図3A～図3Gは、位相シフト材料を用いて、70Pで示される、ゼロ次のゼロにされた π 位相シフト位相マスクを作製する第1の方法の製造工程を示す。そのような位相シフト材料のブランクは、市販で入手可能である。適切な材料は、DuPont Photomasks Inc. から入手可能な、埋め込み型のi線/365nmの6%透過または9%透過位相シフトブランクである。

【0036】

図3Aは、位相マスク70Pの概略上面図である。2インチのウエハとともに用いられる特定の実施形態において設計されるこのマスクは、ほぼ不透明の周囲領域102と、ウエハ上にグレーティングパターンを露光するための位相マスクエレメントを含む中央領域105とを有する。この場合、一度にウエハの四分の

一しか露光されない。その他の実施形態では、マスクは、ウエハ全体を覆うのに十分に大きくてもよい。グレーティングパターンを含む領域は、110で示され、グレーティングストライプと呼ばれる。これらの領域は、実線で概略的に示される。なぜなら、これらの領域は、わずか数ミクロンの幅（特定の実施形態では10ミクロン）であるが、中央領域105の一方のエッジから他方のエッジまで延びているからである。また、上記のように、グレーティングは、 $1/2\text{ mm}$ の中心（500ミクロン）にある。これは、マスクの部分上に、示されるようなより少ない数ではなく、50のオーダのグレーティングストライプがあることを意味する。拡大部分に示されるように、各ストライプのグレーティングパターンは、ストライプの方向に垂直に延びる。特定の実施形態では、グレーティングパターンは、4つの波長 λ_1 、 λ_2 、 λ_3 、および λ_4 に対応する4つの繰り返しの連続のパターンである。拡大部分はまた、非常に様式化された形で、グレーティングパターンを、 $\lambda/4$ 位相シフト領域などの位相シフト領域を組み込むように作製することができることを示す。位相シフト領域は、0.5 mmの間隔がつけられるものとして概略的に示され、この間隔は、レーザ共振器長に対応する（以下に詳細に説明されるように、1つのそのような位相シフト領域は、共振器の中心に配置される）。

【 0 0 3 7 】

図3Bは、石英基板120と、その上にある位相シフト材料層122とを含む π 位相シフトブランクの断面図である。この図は、図3Aの線3B-3Bに沿ったものである（図3Aが最終位相マスクを示し、図3Bが製造の初期段階を示すことが理解されるはずである）。

【 0 0 3 8 】

図3Bは、感光性材料（フォトリソグレイスなど）の層125でコーティングされている位相シフトブランクを示し、フォトリソグレイスは、領域130a~130dを露光するよう、電子またはイオンビームリソグラフィを用いて直接書き込まれている。これらの領域130a~130dは、最終位相マスク上のグレーティングストライプ110を規定するために用いられるものである。図3Bの部分は、位相マスクを用いて露光されるウエハ上の1つの4波長チップの幅よりもわずかに

に大きい位相マスク上の幅に対応する。露光領域（クロスハッチングで描かれている）は、非常に誇張されている。なぜなら、これらの露光領域は、わずか約10ミクロンの幅であり、中心間の間隔が約1/2ミリメートル（500ミクロン）であるからである。このように、この図は、4レーザチップを構成する4つのレーザに対応する4つの露光領域を示す。

【 0 0 3 9 】

図3Cは、図3Bの線3C-3Cに沿った断面図を示す。この図は、実際のグレーティングを規定する領域130aの露光部分を示す。これらの露光部分は、130a-1、130a-2、などで示される。この図も、一定の縮尺で示されていない。なぜなら、この角度から見られる特徴は、サブミクロン（チップ上のグレーティングのピッチの2倍）であるからである。露光部分のピッチは、図2Bと同様に Λ で示される。上記のように、このピッチは、露光されたウエハ上での $\Lambda/2$ のピッチに対応する。

【 0 0 4 0 】

このプロセスの1つの可能な実現は、（厚さ90ミルの石英基板上の） π 位相シフト材料の絶縁性により位相シフト材料の表面帯電を減らすために、950Kの分子量の2%~5%PMMAからなる単一層フォトレジスト（厚さ200nm~500nm）であって、ポリメチルメチルアクリレート（polymethyl methyl acrylate: PMMA）上に10nmのアルミニウム金属のオーバコートをも有する単一層フォトレジストを用いてもよい。あるいは、200nmの2%PMMA頂部層と、10nmの蒸着ゲルマニウムまたはシリコン中央層と、180℃でベークされた200nmのフォトレジスト底部層とを含む三層フォトレジスト（180℃でベークされたフォトレジストが最初にスピノンされる）を、（厚さ90ミルの石英上の） π 位相シフト材料上に堆積させてもよい。三層フォトレジストの概念は、Howardら、IEEE Transactions of Electron Devices ED-28(11) 1981、pp. 1378-1381の文献に記載されている。

【 0 0 4 1 】

パターンの直接書き込みは、低減された電子またはイオンビーム強度での多数

のパスで行うことができる。50KVまたは100KVでのマルチパス電子またはイオンビームリソグラフィにより、フォトレジスト上に所望のパターンを書き込むことができる。電子またはイオンビーム書き込み中の不均一性およびステッチングエラーを減らすために、完全な照射線量を、多数のパスで割ってもよい。

【 0 0 4 2 】

図3Dおよび図3Eは、フォトレジストを現像した後の、フォトレジストでコーティングされた位相シフト材料を示す断面図である。図から分かるように、電子またはイオンビームによって露光されたフォトレジスト領域は、現像工程により除去されており、位相シフト層122の裸領域135a～135dを残している。これらの裸領域は、図3Eに示されるように位相マスクピッチでセグメント化され、個々のセグメントは、135a-1、135a-2、などで示される。

【 0 0 4 3 】

単一層PMMAの場合、アルミニウム層を、まずアルミニウムエッチング溶液でエッチングすることができ、次いで、PMMAを、1：1の体積比のメチルイソブチルケトン：イソプロパノールで現像し、そして最後に、イソプロパノールですすいで、窒素中で乾燥させる。

【 0 0 4 4 】

三層レジストプロセスの場合、まずPMMAを、1：1の体積比のメチルイソブチルケトン：イソプロパノールで現像し、イソプロパノールですすぎ、そして窒素中で乾燥させる。次いで、サンプルを脱イオン水でエッチングして、ゲルマニウム層上の自然酸化物を除去し、次いで、ゲルマニウムまたはシリコンを、純粋なCF₄プラズマ中で、低圧反応性（または、磁気増強）イオンエッチングによりドライエッチングする。180℃で硬くベークしたフォトレジストを、純粋なO₂プラズマ中で、低圧反応性（または、磁気増強）イオンエッチングによりエッチングする。

【 0 0 4 5 】

図3Fおよび図3Gは、位相シフト層122の裸領域135a～135dをエッチングして位相シフト材料にパターンを複製した後の最終位相マスクを示す断面図であり、基板120の裸領域140a～140dを残している。これらの裸

領域は、図3Gに示されるように位相マスクピッチでセグメント化され、領域140aの個々のセグメントは、140a-1、140a-2、などで示される。エッチングは、好ましくは、位相シフト材料を石英基板までエッチングするが石英基板を有意にはエッチングしないプロセスにより行われる。

【0046】

単一層PMMAの場合、 π 位相シフト材料上のサブミクロンパターンを、希釈した市販のクロムエッチング液を用いてウェットエッチングすることができる。三層レジストの場合、 π 位相シフト材料を、 Cl_2 (80%) および O_2 (20%) ガス混合物プラズマ中で、中圧反応性イオンエッチング (または磁気増強) によりエッチングすることができる。180℃でベークしたフォトレジストの最終除去は、純粋な O_2 ガスプラズマ中で、市販のフォトレジストストリッパによる高圧反応性イオンエッチングを用いることによって行うことができる。

【0047】

次いで、位相マスクに、最終表面処理と、裏側反射防止コーティング142の堆積とを施す。

【0048】

望ましい場合には、標準の堆積およびリフトオフ技術を用いて、グレーティングストライプ以外の位相マスク部分の上に、クロムを堆積させてもよい。これは、グレーティングパターンをエッチングした後に、容易に行うことができる。エッチングした後に行う場合、堆積したクロムをグレーティングストライプの領域からリフトオフすることができるよう、エッチングしたグレーティングストライプをフォトレジストで覆わなければならない。尚、位相シフト材料エッチングにおいてクロムエッチング液を用いてグレーティングパターンをエッチングする場合、堆積を行い、その後にフォトリソグラフィおよびエッチングを行うことによってクロムをパターンニングすることは、概して適切でない。なぜなら、クロムエッチング液が、位相シフト材料もエッチングしてしまうからである。

【0049】

2. 3 直接エッチングを用いた位相マスクの製造

図4A～図4Gは、ゼロ次のゼロにされた π 位相シフト位相マスクを作製する

第2の方法の製造工程を示す。この方法は、グレーティングのパターンを、石英基板上に堆積された位相シフト材料にではなく、石英ブランクにエッチングするという点で、上記の第1の方法とは異なる。石英ブランクは、もともとクロムめっきされる（二値フォトリソマスクブランクと同様）。

【 0 0 5 0 】

図4Aは、位相マスク70Qの概略上面図である。マスクは、主として不透明であり（クロムコーティング）、グレーティングストライプ145が、マスクの中央領域に配置されている。位相マスク70Pの場合と同様に、一度にウエハの四分の一しか露光されない。また、上記の場合と同様に、ストライプは、実線で概略的に示されており、拡大部分に示されるように、各ストライプのグレーティングパターンは、ストライプの方向に垂直に延び、グレーティングパターンは、4つの波長 λ_1 、 λ_2 、 λ_3 、および λ_4 に対応する4つの繰り返しの連続のパターンである。

【 0 0 5 1 】

図4Bは、石英板150と、その上にあるクロム層152とを含むクロムめっきされた石英ブランクの部分の概略図である。この図は、図4Aの線4B-4Bに沿ったものである（図4Aが、最終位相マスクを示し、図4Bが、製造の初期段階を示すことが理解されるはずである）。図4Bは、フォトリソレジスト層153でコーティングされたブランクを示し、フォトリソレジストは、領域155a~155dを露光するように、電子またはイオンビームリソグラフィを用いて、直接書き込まれている。これらの領域155a~155dは、最終位相マスク上のグレーティングストライプ145を規定するために用いられるものである。マスク70Pの場合と同様に、図4Bの部分は、1つの4波長チップの幅よりもわずかに大きい位相マスク上の幅に対応し、露光領域（クロスハッチングで描かれている）は、非常に誇張されており、最終チップ上にできる4レーザに対応する4つの露光領域を示す。

【 0 0 5 2 】

プロセスは、厚さ90ミルのクロムめっきされた石英板上に950Kの分子量の5%PMMA（500nm）を調製することから始まる（90ミルの厚さを選

んだのは、石英板が時間および温度とともにあまり曲がらないからである)。クロムコーティングされたブランク上の選択された場所にエッジアライメントクロスマークおよびストライプ開口部(幅10ミクロン、長さ約10mm)を直接書き込むために、電子またはイオンビームリソグラフィを使用してもよい。市販のクロムエッチング液を用いて、アライメントクロスマークおよびストライプ開口部をウェットエッチングしてもよい。電子ビームリソグラフィの場合に高コントラストのアライメントクロスマークを得るために、ストライプ開口部領域を慎重にシャドウマスキングしながら、アライメントマークの選択領域に、CrおよびAu(5nm/100nm)を蒸着させてもよい。CrおよびAuアライメントマークは、リフトオフすることができ、クロムコーティングされたブランクを、イソプロパノールですすぎ、そしてO₂ガスを用いてプラズマアッシングして、フォトレジストのいかなる表面残渣をも除去することができる。

【0053】

図4Cは、フォトレジスト157を現像し、そして、フォトレジストの露光領域155a~155dに対応する領域において露光されたクロムをエッチングした後のブランクの部分の断面図である。ストライプ領域間に残っているクロム部分は、最終位相マスク上に残る。

【0054】

次いで、マスク70Pの製造に関して上で説明されたように、ストライプ領域のクロムが除去されたブランクにフォトレジストをコーティングし、そして、このフォトレジストにグレーティングパターンを書き込む。

【0055】

Howardらの上記文献に記載される三層フォトレジストの概念を用いて、三層フォトレジスト手順を、以下のように、厚さ90ミルの石英基板上に調製することができる。200nmの薄めたAZ 5214Eフォトレジスト(AZ 5214Eをフォトレジストシンナーで希釈したもの)を、180℃で1時間ベークし、次いで、厚さ10nmのゲルマニウムまたはシリコンを高真空蒸着システムで堆積させ、その後、スピノンによる950Kの分子量の2%PMMA(厚さ200nm)を堆積させて、再び160℃で30分間ベークする。必要とさ

れる実際のグレーティングピッチの2倍のピッチで所望のパターンを直接書き込むために、電子またはイオンビームリソグラフィを使用してもよい。

【 0 0 5 6 】

上の場合と同様に、パターンの直接書き込みは、好ましくは、低減された電子またはイオン強度を用いて多数のパスで行われる。具体的には、一回のパスの完全な電子またはイオンビーム照射線量でグレーティングを書き込む代わりに、完全な照射線量の1/(パスの数)の電子またはイオンビーム照射線量の多数のパス(少なくとも4)でグレーティングを書き込み、グレーティングにおけるフィールドおよび/またはサブフィールドステッチングエラーを最小限にする。均一なグレーティングパターンを得るために、照射線量を、クロム/石英境界から石英の中心まで変動させてもよい。露光されたPMMAは、1:1の体積比のメチルイソブチルケトン:イソプロパノール現像液で現像することができ、最終的に、イソプロパノールですすぎ、そして窒素ガス中で乾燥させることができる。

【 0 0 5 7 】

図4Dおよび図4Eは、フォトレジストを現像した後の、フォトレジストでコーティングされたブランクを示す断面図である。図から分かるように、電子またはイオンビームで露光されたフォトレジスト領域は、現像工程により除去され、石英基板150の裸領域157a~157dを残している。これらの裸領域は、図3Eに示されるように位相マスクピッチでセグメント化され、個々のセグメントは、157a-1、157a-2、などで示される。

【 0 0 5 8 】

図4Fおよび図4Gは、石英の裸領域157a~157dをエッチングしてフォトレジスト153のパターンを複製した後の最終位相マスクを示す断面図であり、浅くなった基板の領域160a~160dを残している。これらのエッチングされた領域は、図4Gに示されるように位相マスクピッチでセグメント化され、エッチングされた領域160aの個々のエッチングされたセグメントは、160a-1、160a-2、などで示される。エッチングは、好ましくは、石英基板を、 π 位相シフトに対応する深さまでエッチングするプロセスにより行われる。エッチングされた領域160a1などと、エッチングされた領域間の交互のエ

ッチングされていない石英材料領域とが、最終的にグレーティングを規定する。

【 0 0 5 9 】

ゲルマニウムベースの三層フォトレジストの場合、石英板を、脱イオン水で手短にエッチングし、そして窒素中で乾燥させて、ゲルマニウム上の自然酸化ゲルマニウム (n a t i v e g e r m a n i u m o x i d e) を除去することができる。ゲルマニウムベースの三層フォトレジストおよびシリコンベースの三層フォトレジストの両方において、ゲルマニウムまたはシリコンを、 CF_4 ガスプラズマを用いて低圧反応性イオン（または、磁気増強）エッチング装置 (e t c h e r) でエッチングすることができる。硬くベークされたフォトレジストの下層は、連続的に、 O_2 ガスプラズマを用いて低圧反応性イオン（または、磁気増強）エッチング装置でエッチングすることができる。 CF_4 - Ar 混合物を用いて低圧反応性イオンエッチング装置（または、磁気増強された反応性イオンエッチング装置）で所望の π 位相シフトを得るために、石英を所望の正確な深さにエッチングした。深さは、エッチング時間をモニタし、エッチング中のテストサイン領域のエッチング深さとエッチガス副生物の発光分光とをプロファイルすることにより、制御することができる。180℃でベークしたフォトレジストの最終除去は、市販で入手可能なフォトレジストストリップ、純粋な O_2 ガスプラズマ中での高圧反応性イオンエッチング、および市販で入手可能なナノストリップを用いることにより、達成することができる。

【 0 0 6 0 】

次いで、位相マスクに、最終表面処理と、裏側反射防止コーティング162の堆積とを施す。

【 0 0 6 1 】

3. 0 グレーティングの製造および可能な幾何学的形状

図5Aは、上に示されるように製造され得る位相マスク70を示す。この位相マスク70は、165で示される垂直に入射する (n o r m a l l y i n c i d e n t) コヒーレントまたは非コヒーレント光ビームを用いて、フォトレジスト（例えば、厚さ40nmのフォトレジスト）でコーティングされたウエハ163を露光することに関して用いられる。この露光およびその後の処理は、レーザ

チップのグレーティング層50(図1C)にグレーティングパターンを形成する目的のものである。位相マスクは、ウエハに接しているか、または、ほぼ接している(ほぼ接している場合が、明確に示されている)。m=0次回折ビーム165a、m=-1次回折ビーム165b、およびm=+1次回折ビーム165cを含む様々な回折次もまた、示されている。 π 位相シフトのため、m=0次回折ビームはキャンセルされ、1次ビーム165bおよび165cが干渉して像を形成する。上記のように、位相マスクの性質は、ウエハ上のパターンが、位相マスク上のパターンの空間周波数の2倍の空間周波数を有することである。即ち、位相マスク上のグレーティングパターンのピッチは、所望の/設計されたグレーティングピッチの2倍である。露光後、フォトリジストを現像し、標準のウェットまたはドライエッチングプロセスを用いて、ウエハにグレーティングパターンをエッチングする。

【0062】

垂直に入射する照射とともに位相マスクを使用する利点には、より微細なパターンを達成することに加えて、同じ基板上に異なるピッチのグレーティングを作製する能力、および、カーブグレーティングを作製する能力、などがある。

【0063】

図5Bは、本発明によるプロセスを用いて作製することができる4つの異なる可能なグレーティング構成を示す。 $\lambda/4$ 位相シフト領域175によって分離される定ピッチ Λ のセグメント172および173を有する直線グレーティング170が示される。本発明によるレーザチップの実施形態は、各々が $\lambda/4$ 位相シフト領域を有する多数の直線グレーティングを含み、各グレーティングは、異なるピッチを有して、多波長動作を支持する。

【0064】

$\lambda/4$ 位相シフト領域185によって分離される定ピッチのカーブグレーティングセグメント182および183を有するカーブグレーティング180が示される。 Λ_1, \dots で示される、より大きいピッチのセグメント195によって分離される、 Λ_1, \dots で示される第1の定ピッチのセグメント192および193を有する直線グレーティング190が示される。より大きいピッチ Λ_1, \dots のカー

ブグレーティング領域205によって分離される、第1のピッチ Λ ...のカーブグレーティングセグメント202および203を有するカーブグレーティング200が示される。

【0065】

図5Cおよび図5Dは、カーブグレーティングの代表的な応用を示す。上記のように、図1Aに示されるレーザチップは、異なるピッチの4つのまっすぐなグレーティングを使用し、各グレーティングは、 $\lambda/4$ 位相シフト領域を有する。図5Cおよび図5Dに示される応用は、多くの異なる種類のレーザとともに使用することができ、これらの場合、グレーティングは、レーザ共振器の外側にある。図5Cは、レーザダイオード210とカーブグレーティング212とを有し、スポット213で焦点を与える、垂直に集束するレーザダイオード構成を示す。図5Dは、レーザダイオード215（カーブミラー216aおよび216bを有する）と、カーブグレーティング対217aおよび217bとを有する高出力の不安定共振器レーザダイオード構成を示す。

【0066】

4.0 レーザチップ製造

4.1 パターニングおよびエッチングプロセス

現在の実現では、レーザチップ製造は、ニューハンプシャー州ロンドンデリー（Londonderry）にあるEPIなどの供給業者から市販で入手可能なレーザダイオードウエハの購入から始まる。ウエハはまた、カリフォルニア州サンフランシスコのSemiaから入手してもよい。市販で入手可能なレーザダイオードウエハは、例えば、上から順に以下の層を含む。

【0067】

p+ドープト頂部金属コンタクト（InGaAs）

pドープト上側クラッド（InP／InGaAsP）

グレーティング層（InGaAsP）

多層活性層（交互の量子井戸層およびバリア層）

nドープト下側クラッド（InP／InGaAsP）

n+ドープト基板（InP）

図6A～図6Hは、リッジレーザアレイを製造する製造工程を示す。これらの図面は、一定の縮尺で示されておらず、例えば、厚さは、非常に誇張されている。特定の実現では、レーザチップは、2インチのウエハ上に製造される。これらのウエハは、グレーティング層よりも上の層の幾つかまたはすべてが存在する状態で購入されてもよく、無い状態で購入されてもよい。特定のウエハに依存して、グレーティングは、グレーティング層にエッチングされ（上にある層は、最初から存在する場合には、除去されている）、上側の層が再成長される。

【 0 0 6 8 】

グレーティングパターンは、位相マスク70と、標準のフォトリソグラフィとを用いてエッチングされる。位相マスクを用いたグレーティングパターンの露光については、上で説明した。上記のように、露光は、コヒーレント光を用いて行われても、インコヒーレント光を用いて行われてもよい。この時点で、グレーティングは完全に覆われているが、グレーティングの上にリッジレーザ構造を形成するために、これらのグレーティングの正確な場所が分からなければならない。

【 0 0 6 9 】

図6Aは、255で示されるグレーティングがエッチングされた部分のレーザウエハ250を示す概略上面図であり、上にある半導体材料257（例えば、InGaAsP/InP/InGaAs）が再成長されており、グレーティングの場所を特定するために、ウエハには、エッジ開口フォトリソグラフィおよびウェットエッチングが施されている。グレーティングパターンを含む領域は、グレーティングストライプと呼ばれ、実線で概略的に示される。なぜなら、これらの領域は、わずか数ミクロン（特定の実施形態では、10ミクロン）の幅であるが、ウエハを横切って延びているからである。また、上記のように、グレーティングは、1/2mmの中心（500ミクロン）にある。これは、ウエハ上に、示されるようなより少ない数ではなく、100のオーダのグレーティングストライプがあることを意味する。拡大部分に示されるように、各ストライプのグレーティングパターンは、ストライプの方向に垂直に延びる。

【 0 0 7 0 】

図6Bは、ウエハの上に、窒化ケイ素または二酸化ケイ素などの絶縁層を堆積

させ、そして、絶縁層のフォトリソグラフィおよびエッチングによりアライメントマーク260を形成した後のウエハの部分を示す。アライメントマークは、×印として示されており、ウエハ上の様々な場所に配置される。特定の実施形態では、アライメントマークは、10または20チップおきに配置される。レーザ構造の活性領域が、チップの2mm幅のわずかな部分を占有するため、活性領域から除かれるチップの部分（例えば、分離トレンチの1つの付近）の上にアライメントマークを配置することは簡単な事である。

【0071】

図6Cは、1つのレーザチップの幅よりもわずかに大きい幅に対応するレーザウエハ250の部分を示す概略断面図である。ウエハは、個々のチップに分離されていないため、これからその構成を説明する構造は、チップの一方のエッジから他方のエッジまで延びている（グレーティングストライプに位置が合わされている）。グレーティングストライプは、再成長された材料257の真下に示されている。

【0072】

図6Dは、リッジ導波管を規定するためにトレンチ22および23（図1C）をエッチングし、そして、分離トレンチ17（図1A）を規定するためにレーザの活性領域間をより深くエッチングした後のウエハの部分を示す。トレンチは、反応性またはマグネトロン増強反応性イオンエッチング（室温のメタンおよび水素ガス混合物、または、300℃の塩素またはアルゴンガス混合物）と、体積比4：1の塩酸および水中でのウェットエッチングとの組み合わせを用いてエッチングされてもよい。

【0073】

図6Eは、コンフォーマル絶縁層270を堆積させ、そしてその後、アニールを行って高密度化し、絶縁材料の応力を軽減した後のウエハのさらに局所的な部分を示す。この絶縁層270は、窒化ケイ素、二酸化ケイ素、またはシクロテン、などの材料からなってもよい。

【0074】

図6Fは、絶縁層270をパターニングし、そしてエッチングして、リッジ2

5の上にある絶縁層の部分を除去し、下にある半導体材料の領域275を露出させた後のウエハのさらに局所的な部分を示す。CF₄ (98%) およびO₂ (2%) ガス混合物を用いた反応性イオンエッチングにより、(アライメントマークを用いて) 幅4ミクロンのリッジ導波管のちょうど上に幅2ミクロンの開口部を作ることができる。

【 0 0 7 5 】

上側のメタライゼーションの前に、半導体表面上のいかなる自然酸化物をも除去するために、半導体表面を、低電力O₂プラズマおよび緩衝フッ酸中で洗浄し、脱イオン水ですすぎ、そして、窒素ガス中で乾燥させてもよい。

【 0 0 7 6 】

同様に、シオルダ金属の堆積およびp-金属コンタクトの堆積の前に半導体表面上のいかなる自然酸化物をも除去するために、低電力広面積アルゴンイオンビームまたは低エネルギー低圧電子サイクロトロン共鳴 (ECR) による連続的な水素、窒素およびアルゴンプラズマを、真空中インサイチュで短時間の間用いてもよい。

【 0 0 7 7 】

図6Gは、シオルダ27aおよび27b (図1Cも参照) を規定するためにトレンチ22および23の外側エッジに沿ってメタライゼーションを行った後のウエハのさらに局所的な部分を示す。

【 0 0 7 8 】

図6Hは、領域275 (リッジの頂部) と、トレンチ22の内面と、シオルダ27aとを覆うコンタクト金属30を堆積させた後のウエハのさらに局所的な部分を示す。この選択的メタライゼーションは、周知のプロセスに従って、フォトリソグラフィおよび金属エッチングまたは金属リフトオフにより行われる。処理のこの時点で、ボンディング金属35まで延びるコンタクト金属30だけがリッジの頂上で半導体材料に接するが、コンタクト金属30は、絶縁層270 (図6E) によりトレンチ22の内面から絶縁されており、シオルダ27aおよび27bが絶縁層270の上に載っていることが認識されるはずである。上記のように、コンタクト金属30を、シオルダ27bを覆うように延ばすことも可能である

【 0 0 7 9 】

シオルダ27aおよび27bと、コンタクト金属30とは、電子ビーム蒸着またはスパッタリングのいずれかにより順次堆積される、それぞれ厚さ20nm、60nm、および200nmの従来の(Ti/Pt/Au)金属を含んでいてもよい。これを、シオルダまたはコンタクトp-金属として使用することができる。それぞれ厚さが順次20nm、40nm、40nm、および200nmである改良されたスパッタリングされたp-金属コンタクト(Ti/TiN/Pt/Au)を使用してもよい。

【 0 0 8 0 】

レーザダイオード装置の信頼性および寿命を向上するために、新規なメタライゼーションスキームを使用することができる。コンタクトの金(Au)がリッジ内に拡散することを防ぐために、Auと半導体との間に、TiNおよびPt層の交互の4層構造を用いることができる。これは、レーザチップの動作寿命を大幅に向上すると考えられる。

【 0 0 8 1 】

次いで、ウエハを、薄くして(裏側をラッピングおよび研磨する)所望の寸法にする。この寸法は、1つの実施例では、110ミクロンである。1つの実施例では、裏側をメタライゼーションする前に、非常に脆いウエハの裏側の自然酸化物を緩衝フッ酸中で除去し、脱イオン水で非常に慎重にすすぎ、そしてN₂で乾燥させて、すぐに、電子ビーム蒸着装置またはスパッタリングシステム内に入れて、裏側n-金属コンタクトを作ってもよい。n-金属コンタクト堆積物の堆積前に半導体表面上のいかなる自然酸化物をも除去するために、低電力広面積アルゴンイオンビームまたは低エネルギー/低圧電子サイクロトロン共鳴(ECR)による連続的な水素、窒素およびアルゴンプラズマを、真空中/インサイチュで非常に短時間の間使用してもよい。

【 0 0 8 2 】

裏側n+コンタクト金属層32(図1C)は、それぞれ厚さ5nm、25nm、50nm、5nm、60nm、および200nmのNi/Ge/Au/Ni/

Ag/Auからなっている。これは、電子ビーム蒸着またはスパッタリングのいずれかにより順次堆積させることができ、非常に確実である。明らかにさらに確実な別の裏側メタライゼーションは、それぞれ厚さ20nm、5nm、5nm、50nm、5nm、50nm、200nmの順次スパッタリングされたGe/Au/Ni/WSi₂/Ti/WSi₂/Auメタライゼーションであってもよく、これは、好適な構成であると考えられる。裏側n-金属コンタクトは、窒素ガス環境中、325℃で高速熱合金化された。より優れたボンディングのために、追加のボンディング金属(Ti/Au50nm/200nm)を堆積させてもよい。

【0083】

次いで、ウエハに野書きし、そして切断してレーザバーにする。各レーザバーは1/2mmの長さ(最終チップのレーザ共振器長)を有しているが、多数のウエハチップを含み、その場所でのウエハの幅と同じ幅である。1つの実施例では、次に、レーザバーの放出面を、非常に低電力の広面積アルゴンイオンビームまたは低エネルギーおよび低圧電子サイクロトロン共鳴(ECR)による連続的な水素、窒素およびアルゴンプラズマで短時間洗浄し、レーザアレイの両面上のいかなる自然酸化物をも、これらの面に結晶損傷を全く与えずに除去した。

【0084】

この時点で、レーザバーの前面および後面を、反射防止コーティングでコーティングする。様々な実施例において、これらのコーティングは、耐久性のある密な単一層ガリウムガドリニウムガーネット(GGG)またはSc₂O₃(酸化スカンジウム)である。現在好ましい実施例であるものにおいては、多層Ta₂O₅(酸化タンタル)およびAl₂O₃(酸化アルミニウム)誘電体を、0.1%未満の反射防止コーティングのために高い堆積温度で、イオンビーム促進電子ビーム蒸着またはスパッタリングにより堆積させた。1つの実施例では、酸化タンタルおよび酸化アルミニウムの厚さは、それぞれ120nmおよび136nmであった。単一層GGGもしくはSc₂O₃または多層Ta₂O₅およびAl₂O₃の耐久性のある密なコーティングは、レーザチップの信頼性および寿命を高めることができる。

【 0 0 8 5 】

次いで、レーザバーに野書きし、そして切断して個々のレーザチップにする。

4 レーザ多波長DFBリッジレーザアレイチップのサイズは、約2mm×0.5mm（8レーザチップの場合、4mm×0.5mm）であり、処理、テストおよび実装の間、損傷を受けやすい。このタイプの取り扱いによる損傷は、バーンイン中に深刻な歩留まり損失を引き起こし得るとともに、この分野において信頼性の問題点を引き起こし得る。有意の実験の後、ショルダ金属のオーバーレイによって、この損傷を有意に最小限に抑えることができ、処理、テストおよび実装中に活性層を損傷から保護することが分かった。

【 0 0 8 6 】

4. 2 プロセスのまとめ

レーザチップ製造工程を、以下のようにまとめることができる。これらの製造工程のうち選択された製造工程を、上で図6A～図6Hに関して説明した。

【 0 0 8 7 】

1. 多重量子井戸レーザ材料の設計、
2. エピタキシャル成長、
3. 位相マスクによる多ピッチグレーティングの製造、
4. グレーティングの上での再成長、
5. グレーティングの場所の識別（フォトリソグラフィおよびエッチング）、
6. 絶縁体（SiN₂またはSiO₂）の堆積、
7. SiN₂またはSiO₂アライメントマークの規定（フォトリソグラフィおよびエッチング）、
8. SiN₂またはSiO₂アライメントマークを用いてグレーティングの上のリッジと分離トレンチとを規定（フォトリソグラフィおよびエッチング）、
9. 低応力の密なコンフォーマルSiN₂またはSiO₂またはシクロテンの堆積、
10. リッジの頂部にSiN₂またはSiO₂またはシクロテンのコンタクト開口部（フォトリソグラフィおよびエッチング）、
11. ショルダ金属の規定（フォトリソグラフィおよびエッチングまたはリフ

トオフ)、

12. リッジの頂部に確実なコンタクト金属を規定 (フォトリソグラフィおよびエッチングまたはリフトオフ)、

13. p-金属ステップカバレッジを向上するためのAuめっき、

14. 基板のラッピング/薄層化および研磨、

15. 薄くした基板の表面処理、

16. 裏側のメタライゼーション、

17. 金属合金化、

18. ウエハに野書きをしてレーザバーにする、

19. 性能および信頼性を向上するためにレーザバーの面をコーティングする、そして

20. レーザバーに野書きをしてレーザチップにする。

【0088】

4. 3 具体的なレーザ構造

特定の実施形態の多重量子井戸 (MQW) 分離閉じ込めヘテロ構造 (SCH) InP/InGaAsP材料構造は、DFBリッジレーザアレイの応用のために十分に最適化される (組成および厚さ)。埋め込み型ヘテロ構造レーザでは活性層の幅は約1ミクロンであるのに対し、リッジレーザの活性層の幅は3ミクロンである。リッジレーザの活性層をわずかに変更しても、WDMの応用の波長精度は大幅には変わらない。リッジレーザの場合、エッチングは、活性層の上で止められ、埋め込み型ヘテロ構造の場合、活性層は、完全にエッチングされる。従って、リッジレーザは、より優れた信頼性およびより高い波長収量とを提供する傾向がある。しかし、リッジレーザの望ましくないしきい値電流が、埋め込み型ヘテロ構造よりも高いことに注目されたい。量子井戸は、1%の圧縮歪みであり、バリアは、1%の引っ張り歪みである。この歪み補償は、より高い信頼性を提供するとともに、レーザアレイダイ装置の寿命を向上する。別個の閉じ込め層の厚さおよび組成はまた、最適なグレーティング結合、より高いビットレートの装置、および、単一モード光ファイバに結合するためのレーザアレイ装置の最適な遠視野像、のために最適化される。

【 0 0 8 9 】

多重量子井戸 (MQW) 分離閉じ込めヘテロ構造 (SCH) レーザチップの特定の実現を、以下の表1～表4に示す。

【 0 0 9 0 】

【 表 1 】

第1の成長設計#1

1. 55 μm の発光波長のInGaAsPベースの歪み補償MQW SCH構造

層	材料	組成 μm	厚さ μm	レベル	タイフ°
10	InGaAs	コ=97トキ=17°	0.20	2E+19	p ⁺⁺ /Zn
9	InP		0.50	8E+18	p ⁺ /Zn
8	InP		0.75	8E+17	p/Zn
7	In(x)GaAs(y)P	1.15	0.05	5E+17	p/Zn
6	InP		0.25	5E+17	p/Zn
5	In(x)GaAs(y)P	1.20	0.10		U/D
4x3** B	In(x)GaAs(y)P	1.20	0.0150		U/D
3x4* QW	In(x)GaAs(y)P	1555 nm PL	0.0094		U/D
2	In(x)GaAs(y)P	1.20	0.10		U/D
1	InP 緩衝層		2.00	5E+17	n/S
0 ++	InP 基板			1E+19	n ⁺⁺ /S

* 圧縮歪み E = + 1%

** 引張り歪み E = - 1%

【 0 0 9 1 】

【 表 2 】

第1の成長設計#2

1. 55 μm の発光波長のInGaAsPベースの歪み補償活性MQW SCH 構造

層	材料	組成 μm	厚さ μm	レベル	タイプ
12	InGaAs	コンタクトキャップ ^o	0.20	2E+19	p++/Zn
11	InP		0.50	8E+18	p+/Zn
10	InP		0.75	8E+17	p/Zn
9	In(x)GaAs(y)P	1.15	0.05	5E+17	p/Zn
8	InP		0.15	5E+17	p/Zn
7	In(x)GaAs(y)P	1.15	0.09		
6	In(x)GaAs(y)P	1.20	0.08		U/D
5x3** B	In(x)GaAs(y)P	1.20	0.0150		U/D
4x4* QW	In(x)GaAs(y)P	1555 nm PL	0.0094		U/D
3	In(x)GaAs(y)P	1.20	0.08		U/D
2	In(x)GaAs(y)P	1.15	0.09		
1	InP 緩衝層		2.00	5E+17	n/S
0 ++	InP 基板			1E+19	n++/S

* 圧縮歪み $E = +1\%$

** 引張り歪み $E = -1\%$

【0092】

【表3】

(1*) 1.15Qグレーティングの上の第2の再成長設計

層	材料	組成 μm	厚さ μm	レベル	タイプ
10	InGaAs	コンタクトキャップ ^o	0.20	2E+19	p++/Zn
9	InP		0.50	8E+18	p+/Zn
8	InP		0.75	8E+17	p/Zn
7	In(x)GaAs(y)P	1.15Q	0.05	5E+17	p/Zn
6	InP		0.25	5E+17	p/Zn

【0093】

【表4】

(2*) 1.15Qグレーティングの上の第2の再成長設計

層	材料	組成 μm	厚さ μm	レベル	タイプ
12	InGaAs	コンタクトキャップ ^o	0.20	2E+19	p++/Zn
11	InP		0.50	8E+18	p+/Zn
10	InP		0.75	8E+17	p/Zn
9	In(x)GaAs(y)P	1.15Q	0.05	5E+17	p/Zn
8	InP		0.15	5E+17	p/Zn

上に示される2つの設計の主な相違点は、グレーティング層（設計#1では単一の層5であり、設計#2では層6および7である）の厚さにある。設計#2の合わせた厚さ（0.17ミクロン）とは異なり、設計#1のより薄い層（0.10ミクロン）は、より速い装置速度を提供する傾向があるが、より出力光をファイバに結合しにくい傾向がある。

【0094】

5.0 レーザチップモジュール

5.1 モジュールの概要

図7Aおよび図7Bはそれぞれ、実装されたモジュール300内に組み込まれたレーザチップ10を示す上断面図および側断面図であり、ほぼ一定の縮尺で描かれている。好適なパッケージは、高速マルチ光ファイバポート「バタフライスタイル」高速セラミックパッケージである。示された特定のパッケージは、50ミルずつ間隔がつけられたピンを有する。適切なパッケージは、カリフォルニア州アリソビエジョ（Aliso Viejo）にあるKyocera America, Inc. など、多数の民間ベンダから得ることができる。

【0095】

本実施形態では、レーザドライバチップ（図示せず）はモジュールの外側にあり、バイアスティ（図示せず）によりDCバイアスに重畳されるレーザドライバチップのRF変調信号は、基板307上の金属トレースとして実現されるRF/DC伝送線305を介してレーザに伝達される。1つの実施例では、変調電流は、65mAのオーダーであるが、DCバイアス電流は、25mAのオーダーである。この実現は、簡略化されたRF/DC遮蔽スキームを示しており、RF/DC伝送線305は、接地線310によって境界が定められ、これらの接地線310自体はまた、基板を通して裏側接地面315まで延びるバイアホールを有する基板307上のトレースとして実現される。伝送線および接地線は、一定の幅であってもよく、または、最適なインピーダンス整合および最小の反射減衰量を得るために、図7Cに示されるように、1本以上がテーパ状になっていてもよい。

【0096】

モジュール内のさらなるエレメントは、レーザチップ10の両側に配置される

サーミスタ対320aおよび320bと、PINフォトダイオード325と、基板の裏側に取り付けられる高除熱能力熱電冷却装置(TEC)330と、を含む。

【0097】

サーミスタは、温度検知回路(図示せず)に結合され、温度検知回路は、温度制御回路(図示せず)に信号を提供し、温度制御回路は、TEC330に適切な電圧を提供して、安定した動作のための所望の検知温度を維持する。PINフォトダイオードは、後面を通して放出された平均光パワーを表す信号を提供するための後面モニタである。本実施形態では、グレーティング上に $\lambda/4$ 位相シフト領域があり、前面および後面が非常に透明であり、グレーティングは、フィードバックメカニズムを提供する。従って、前面および後面を通る光パワーは、同じでなければならない、後面測定は、前面を通して放出される光パワーを表す測定値を提供する。

【0098】

基板307は、好ましくは、AlNなどの高効率熱スプレッドであり、この熱スプレッドは次いで、ダイヤモンドなどの別の高効率熱スプレッドにボンディングされ、次いで、正確な温度制御のためにTEC330上にボンディングされる。マイクロ波伝送線を組み込む薄膜基板は、同じ熱スプレッドであってもよく、共通の熱スプレッド上にボンディングされる(マイクロ波伝送線を組み込む)適切な別個の基板であってもよい。このアプローチでは、レーザモジュールパッケージの外側の別個の印刷回路板上にレーザドライバチップを配置することが可能である。

【0099】

レーザチップ10の個々のレーザから出力される光を受け取り、そして、光を、ファイバ管対342aおよび342bを通してモジュールの外側に運ぶ光ファイバ340a~dもまた、図に示される。各管は、ファイバ対を収容する。一旦モジュールの外側に出ると、ファイバは、波長マルチプレクサなどの外部光学素子に結合されてもよい。

【0100】

図7Cは、ファイバをパッケージの外に通じさせるための別の構成を示す、300'で示されるモジュールの部分上面図である。現在の実現を表すこの実現では、図7Aおよび図7Bに示される管対342aおよび342bではなく、すべてのファイバを収容する単一の管345が用いられる。

【0101】

図8Aは、レーザチップモジュールおよびその外部光接続の別の実現を示す上平面図である。この図では、明瞭さのために、様々なエレメントのサイズが誇張されて描かれている。図7Aおよび図7Bの実現のエレメントに対応するエレメントは、同じ参照番号で示される。この図に示される実現は、ここでは参照番号350で示されるRF/DC伝送線に、より高度な分離スキームを使用する。

【0102】

尚、レーザチップは、表を下にして基板307に取り付けられることに留意されたい。レーザチップ10の各レーザ場所の下にある電極構造は、ボンディング電極355および360を含む。ボンディング電極355は、バイア（別個には図示せず）により、接地面315に連通する。レーザチップ10の裏側は、ボンディング電極355にワイヤボンディングされ、裏側接地をもたらす。ボンディング電極360は、レーザチップのボンディング金属35がボンディングされる大きい部分と、RF/DC伝送線350の活性電極の端部にワイヤボンディングされる小さい部分とを含む。

【0103】

5. 2 マイクロ波遮蔽

レーザを高ビットレートで変調するために、レーザのインピーダンスをレーザドライバチップに合わせることが好ましい。RF/DC信号線は、レーザドライバのインピーダンスに合わされ、適切な薄膜抵抗器で終端される。さらに、上記のように、個々のレーザを駆動する異なる信号チャネル間のクロストークを回避するために、様々なRF/DC信号線間に、ある程度の電気絶縁を提供することが望ましい。図7Aに示される実施形態では、RF/DC伝送線305間に接地線を挿入することにより、分離が提供される。より積極的な分離スキームは図8Aに示され、ここでは、基板307上の金属伝送線は、実際に部分同軸シールド

としての役割を果たすアーチの連続を提供する、接地された空気架橋U字型ワイヤを有する。

【 0 1 0 4 】

図8Bは、基板307に沿って走る金属トレース380であって、それぞれの側にメタライズされたバイアホール382aおよび382bを有する金属トレース380を示す部分詳細図である。ホール対は、信号トレース380の長さに沿って繰り返され、遮蔽を提供する。

【 0 1 0 5 】

図8Cは、これをさらに改良したものであり、金属トレースの下にある基板の領域がエッチングされて、誘電体385が充填されるチャネルを形成しており、誘電体膜387が、誘電体充填チャネル385のエッジのわずかに外側に延びている。

【 0 1 0 6 】

マイクロ波基板材料は、高周波数(5GHz~20GHz)および高電力(1ワット~10ワット)の応用の場合、熱伝導性で低損失である。レーザチップは、金-スズはんだを用い、(例えば、典型的な層厚40/60/2000/40/100/40/3000nmのTi/Pt/Au/Ti/Pt/TiN/Ti/AuSn)の低応力メタライゼーションを用いてマイクロ波基板上にボンディングされる。10GHzまでのマイクロ波シミュレーションでは、クロストークが約-35dBであることを示す。

【 0 1 0 7 】

5. 3 外部光学インタフェース

代表的な光学スキームでは、各レーザの出力は、ファイバ340a~dの1つに結合される。光学モード不一致のため、レーザアレイへの単一モード光ファイバビグテールは、レーザアレイへのマルチモード光ファイバビグテールよりもはるかに困難であるため、マイクロレンズアレイを用いて、レーザの出力をファイバに結合する。従って、コリメートレンズ370によって、各レーザの出力が集められて平行にされ、集束レンズ372が、平行にされた光をファイバに集束する。図は、波長マルチプレクサ375のそれぞれの入力ポートに溶融接着された

ファイバ340a～dをさらに示す。マルチプレクサ375の出力ポートは、レーザチップへの後方反射を減らすために、複合分離ブロックに溶融接着されるものとして示される。分離ブロックは、光アイソレータ395の両側にレンズ対390および392を有するものとして示される。光は、レンズ392により、ファイバのセグメント397の端部に集束される。セグメント397は、標準のファイバコネクタ390に接続される。

【0108】

図8Dは、別の外部構成を示す部分斜視図であり、図8Aに示される複合分離ブロックの代わりに、インライン光アイソレータ395が使用される。

【0109】

5. 4 モジュール内部にレーザドライバを有する構成

図9は、300”で示されるレーザチップモジュールの別の構成の分解斜視図である。この図もまた、一定の縮尺で示されていない。図7A、図7B、および図8Aの実現のエレメントに対応するエレメントは、同じ参照番号で示される。この実現では、410で示されるレーザドライバチップは、モジュール内でレーザチップ10に非常に近接して（2mm未満）配置される。

【0110】

この構成は、レーザモジュールが非常にコンパクトであるという利点を有する。しかし、レーザドライバチップは、大量の熱を発生し得るため、このようにレーザチップに非常に近接していると（2mm）、正確なレーザ温度制御のためにTEC330を使用するにも拘わらず、レーザドライバから発生した熱が多波長レーザチップの熱および光学パラメータに影響を及ぼし得る。この問題点を解決するために、レーザチップおよびレーザドライバのための別個の熱経路を使用した。従って、レーザドライバチップは、別個の熱スプレッド420に取り付けられ、この熱スプレッド420は、熱分離素子425の組により、基板307に取り付けられる。

【0111】

5. 5 レーザドライバ

多波長DFBレーザアレイは、レーザのための共通基板（InP）を有する。

従って、個々のレーザを駆動するのは、この共通カソード構成のため、困難である。これは、外部電流ミラー回路とともに市販のレーザドライバ回路を使用することにより解決することができる。この外部電流ミラー回路は、電流源としての役割を果たすとともに、レーザダイオードのカソードが接地電位になることを可能にする。

【 0 1 1 2 】

図 1 0 A は、レーザチップにおいて、レーザの 1 つ、例えばレーザ 1 0 a に接続されるバイアス回路 4 5 5 とともに、市販で入手可能なレーザドライバ回路 4 5 0 を示す。この実現では、バイアス回路 4 5 5 は電流源であり、電流ミラーとして構成される P N P 駆動トランジスタが、この電流源としての役割を果たす。電流源は、最大動作電流をレーザに供給する。レーザドライバ出力トランジスタがオンであるとき、レーザへの電流は、このトランジスタを通る分流により低減される。これにより、光学信号が、レーザドライバ回路から通常得られる光学信号に関して反転される。従って、オフ状態のレーザ電流は、電流源の電流と、レーザドライバの電流との差である。上記アプローチは、n + 基板上に作製されたレーザダイオードを駆動するコスト効率がよく効率的な方法を表す。

【 0 1 1 3 】

図 1 0 B は、4 5 5' で示されるバイアス回路が誘導子および抵抗器を含む別のアプローチを示す。このアプローチは、活性構成要素が回避されるべきである場合に適切である。

【 0 1 1 4 】

適切に選択されたバイアス値とともに、レーザドライバ回路への既存のフィードバック制御入力も用いることができる。この回路は、優れた駆動能力を提供するだけでなく、望まれる場合には、この応用において既存のドライバの使用を可能にする。

【 0 1 1 5 】

6 . 0 システムアプリケーション

本発明の多波長レーザチップは、WDMシステムアプリケーションにおいて多くの利点を提供する。上記のように、個別のレーザチップは、温度の関数として

調整された個々の波長を有し得る。しかし、波長モニタリングに費用がかかるため、WDMシステムにおいて波長のサブセットをモニタすることにより、儉約される場合もある。多波長レーザチップの個々のレーザが、同一条件下で製造され、密結合条件下で動作するのであれば、多波長チップのレーザのうち1つのレーザだけの波長をモニタすることが、個別のレーザの波長のサブセットをモニタするよりも、適切で且つ信頼性がある可能性が高い。

【 0 1 1 6 】

図11は、大都市圏電話網における多波長レーザアレイモジュールの実施形態を示し、図12は、ローカルエリアネットワークにおける多波長レーザアレイモジュールの実施形態を示す。これらは、本発明の多波長レーザチップの可能なシステム展開を代表するものであるにすぎない。

【 0 1 1 7 】

7. 0 参考文献

米国特許文献（本明細書において、参考として援用する）：

特許番号	年	著者	譲受人
US 4,517,280	1985	Okamotoら	Sumitomo
US 4,748,132	1988	Fukuzawaら	Hitachi
US 4,846,552	1989	Vieldkampら	US Air Force
US 5,413,884	1995	Kochら	AT&T

外国特許文献（本明細書において、参考として援用する）：

3 2 3 8 4 5 4 1 0 / 1 9 9 1 日本

特許以外の刊行物（本明細書において、参考として援用する）：

1. M. Okaiら、「Novel method to fabricate corrugation for a 1/4-shifted distributed feedback laser using a grating photo mask」、Applied Physics Letter 55 (5)、31 July 1989、pp. 415-417。

【 0 1 1 8 】

2. C. E. Zahra、「1.5 mm compressive stra

ined multi quantum well 20-wavelength distributed feedback laser arrays」、Electronics Letters 28、23 April 1992、pp. 824-826。

【0119】

3. D. Tennantら、「Characterization of near-field holography gratings mask for optoelectronics fabricated by electron beam lithography」、Journal of Vac. Technology B 10、November/December 1992、pp. 2530-2535。

【0120】

4. G. Pakulskiら、「Fused silica mask for printing uniform and phase adjusted gratings for distributed feedback lasers」、Applied Physics Letter 62 (3)、18 January 1993、pp. 222-224。

【0121】

5. Howardら、IEEE Transactions of Electron Devices ED-28 (11) 1981、pp. 1378-1381。

【0122】

8. 0 結論

結論として、本発明が、多波長半導体レーザチップおよびモジュールの製造コストを削減する洗練された技術を提供することが分かる。本発明は、これらの利点を、概して、公知の半導体処理技術の範囲内で提供する。垂直照射とともに位相マスクを使用することにより、非常に微細な特徴を作り出すことを可能にしながら、グレーティング構成において大きな柔軟性を提供する。

【0123】

上記説明は、本発明の特定の実施形態の完全な説明であるが、様々な改変、別の構成、および等価物を使用してもよい。従って、上記説明は、特許請求の範囲によって規定される本発明の範囲を制限するものとしてとらえられるべきではない。

【図面の簡単な説明】

【図1A】

本発明の4レーザの実施形態による多波長分布帰還型(DFB)リッジレーザアレイを示す。

【図1B】

8レーザの実施形態を示す。

【図1C】

アレイ中のDFBリッジレーザのうちの1つのより詳細な図である。

【図2A】

二値強度マスクの構造および動作を示す。

【図2B】

π 位相シフト位相マスクの構造および動作を示す。

【図3A】

π 位相シフト位相マスクを作製する第1の方法の製造工程を示す。

【図3B】

π 位相シフト位相マスクを作製する第1の方法の製造工程を示す。

【図3C】

π 位相シフト位相マスクを作製する第1の方法の製造工程を示す。

【図3D】

π 位相シフト位相マスクを作製する第1の方法の製造工程を示す。

【図3E】

π 位相シフト位相マスクを作製する第1の方法の製造工程を示す。

【図3F】

π 位相シフト位相マスクを作製する第1の方法の製造工程を示す。

【図3G】

π 位相シフト位相マスクを作製する第 1 の方法の製造工程を示す。

【図 4 A】

π 位相シフト位相マスクを作製する第 2 の方法の製造工程を示す。

【図 4 B】

π 位相シフト位相マスクを作製する第 2 の方法の製造工程を示す。

【図 4 C】

π 位相シフト位相マスクを作製する第 2 の方法の製造工程を示す。

【図 4 D】

π 位相シフト位相マスクを作製する第 2 の方法の製造工程を示す。

【図 4 E】

π 位相シフト位相マスクを作製する第 2 の方法の製造工程を示す。

【図 4 F】

π 位相シフト位相マスクを作製する第 2 の方法の製造工程を示す。

【図 4 G】

π 位相シフト位相マスクを作製する第 2 の方法の製造工程を示す。

【図 5 A】

基板を露光するための π 位相シフト位相マスクの使用を示す。

【図 5 B】

π 位相シフト位相マスクを用いて作製することができる定ピッチおよび可変ピッチの直線およびカーブグレーティングを示す。

【図 5 C】

カーブグレーティングの応用を示す。

【図 5 D】

カーブグレーティングの応用を示す。

【図 6 A】

レーザチップ作製方法の製造工程を示す。

【図 6 B】

レーザチップ作製方法の製造工程を示す。

【図 6 C】

レーザチップ作製方法の製造工程を示す。

【図 6 D】

レーザチップ作製方法の製造工程を示す。

【図 6 E】

レーザチップ作製方法の製造工程を示す。

【図 6 F】

レーザチップ作製方法の製造工程を示す。

【図 6 G】

レーザチップ作製方法の製造工程を示す。

【図 6 H】

レーザチップ作製方法の製造工程を示す。

【図 7 A】

レーザチップモジュールの上断面図である。

【図 7 B】

レーザチップモジュールの側断面図である。

【図 7 C】

テーパ状になった伝送線を示す。

【図 7 D】

別のファイバ管構成を示す部分上面図である。

【図 8 A】

レーザチップモジュールの追加の実現を示す上平面図である。

【図 8 B】

R F / D C 伝送線の分離の実現の詳細図である。

【図 8 C】

R F / D C 伝送線の分離の実現の詳細図である。

【図 8 D】

別の外部光分離スキームを示す部分上平面図である。

【図 9】

レーザチップモジュールの別の実施形態を示す分解斜視図である。

【図10A】

レーザの駆動システムを示す概略回路図である。

【図10B】

レーザアレイを電氣的に駆動する別のスキームを示す。

【図11】

大都市圏電話網における多波長レーザアレイモジュールの実施形態を示す。

【図12】

ローカルエリアネットワークにおける多波長レーザアレイモジュールの実施形態を示す。

【図1A】

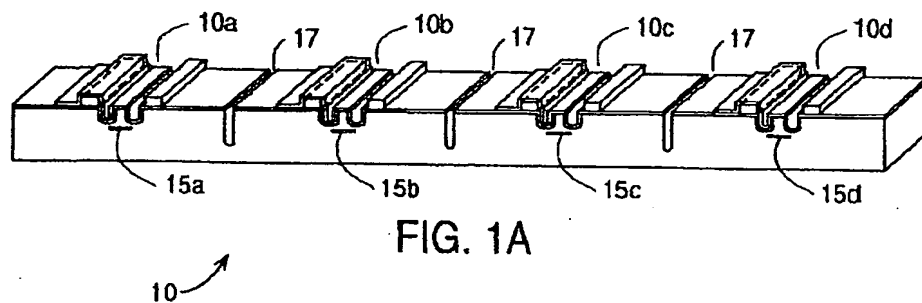


FIG. 1A

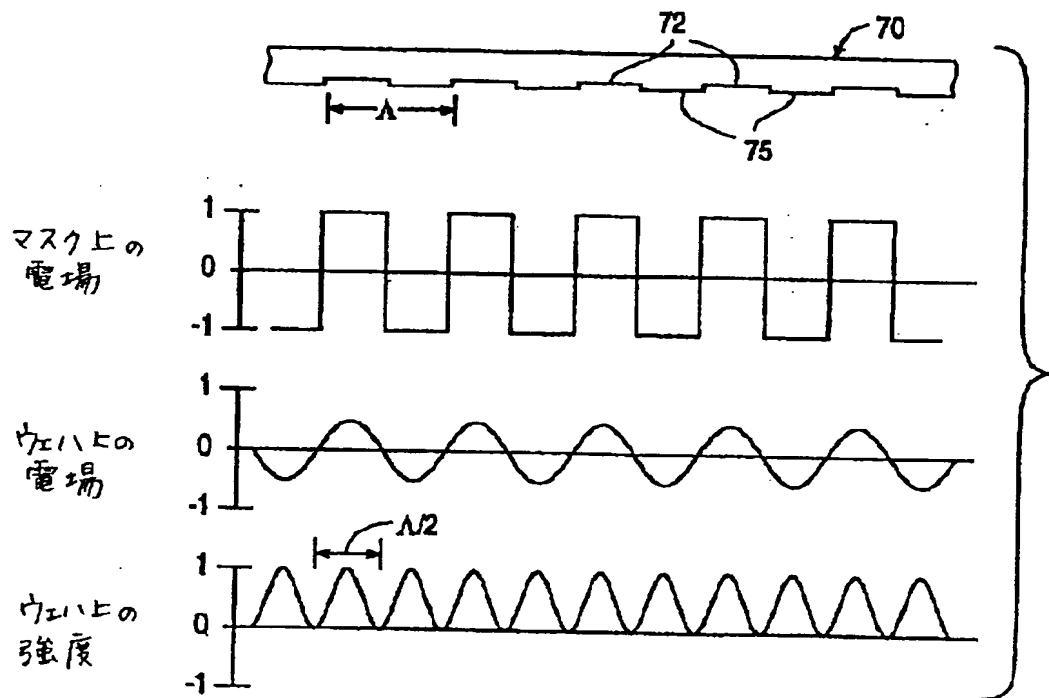
【図1B】



FIG. 1B

Figure 1 consists of three vertically stacked parts. The top part is a schematic diagram of a semiconductor device. It shows a substrate 60 with a layer 62 on top. A series of rectangular regions 65 are formed in the layer 62, with a period Λ between them. The bottom two parts are graphs. The middle graph, labeled 'マスク上の電場' (Electric field on the mask), shows a square wave with a period Λ and amplitude 1. The bottom graph, labeled 'ウェハ上の電場' (Electric field on the wafer), shows a sinusoidal wave with a period Λ and amplitude 1. The bottom graph, labeled 'ウェハ上の強度' (Intensity on the wafer), shows a periodic wave with a period Λ and amplitude 1, which is the square of the electric field.

【 図 2 B 】



【 図 3 A 】

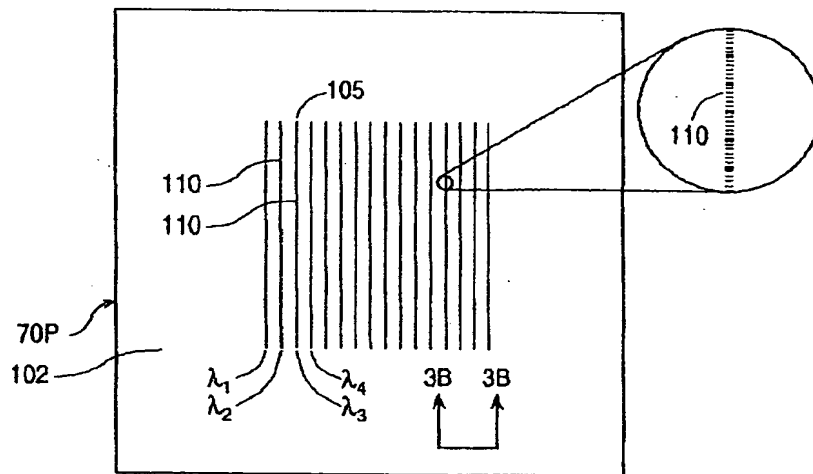
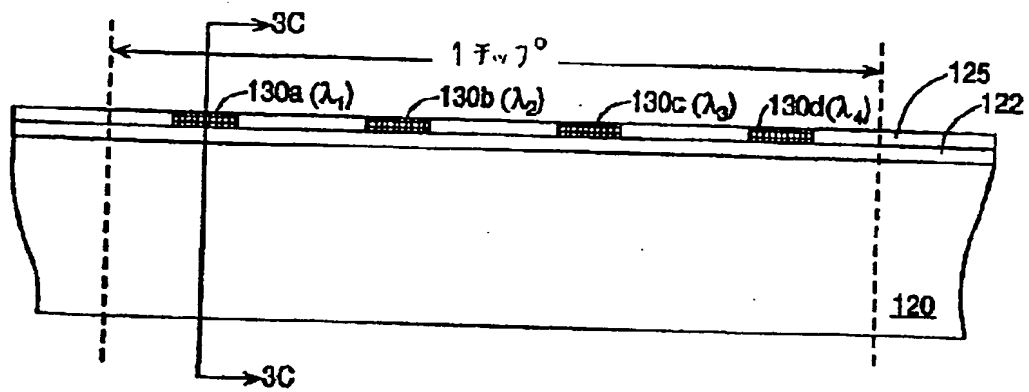


FIG. 3A

【 図 3 B 】



【 図 3 C 】

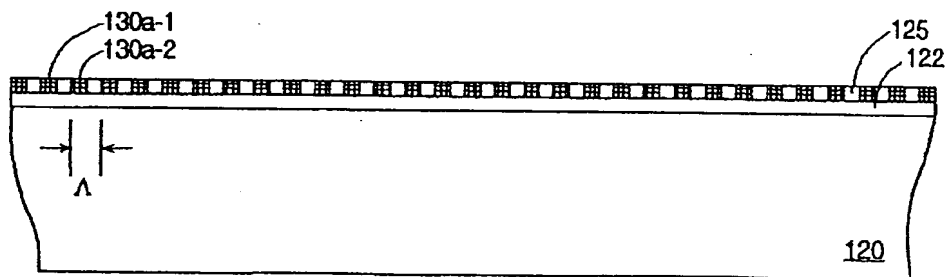
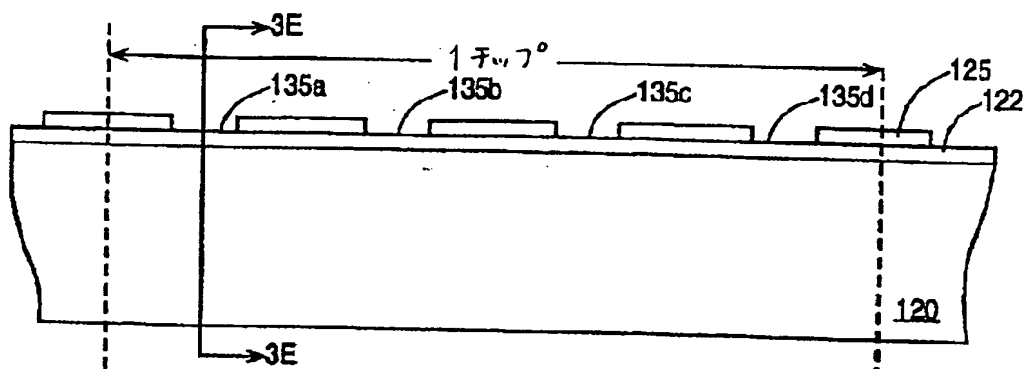


FIG. 3C

【 図 3 D 】



【 図 3 E 】

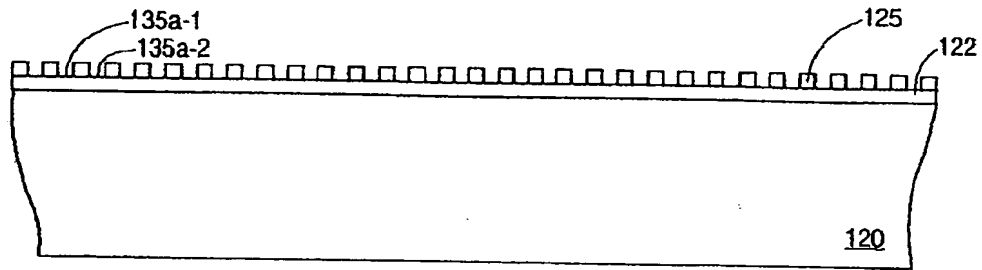
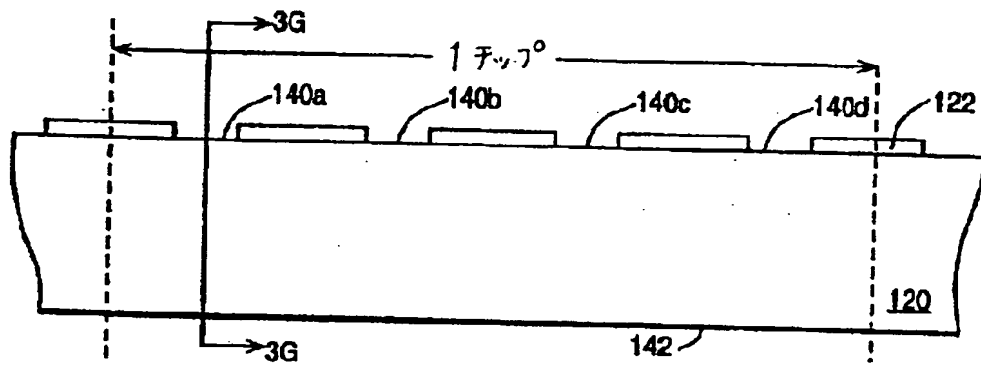


FIG. 3E

【 図 3 F 】



【 図 3 G 】

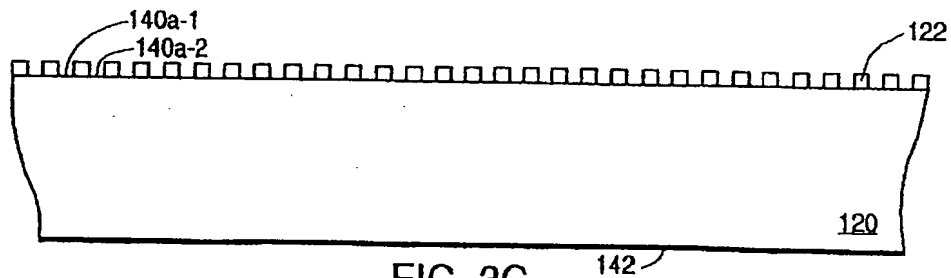


FIG. 3G

【 図 4 A 】

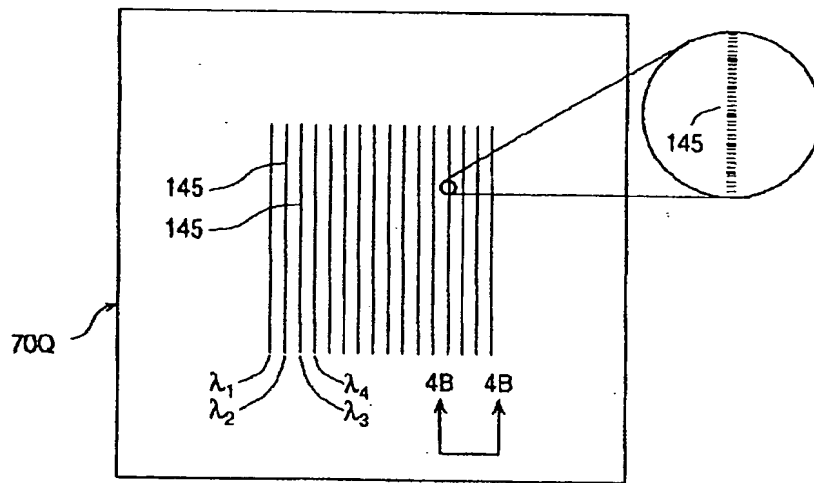
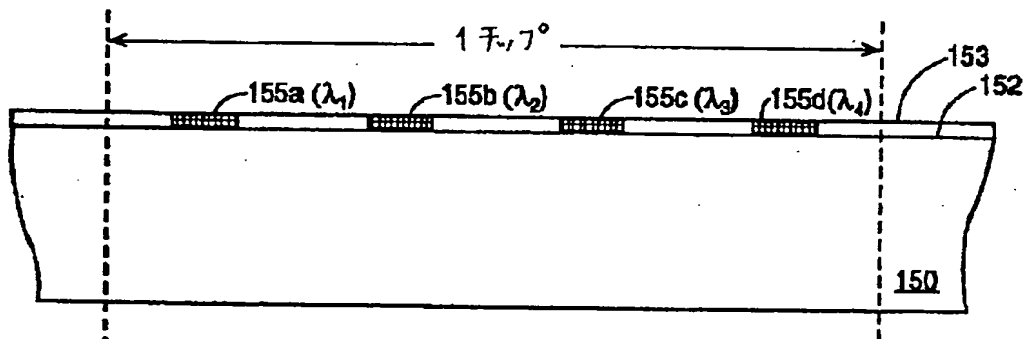
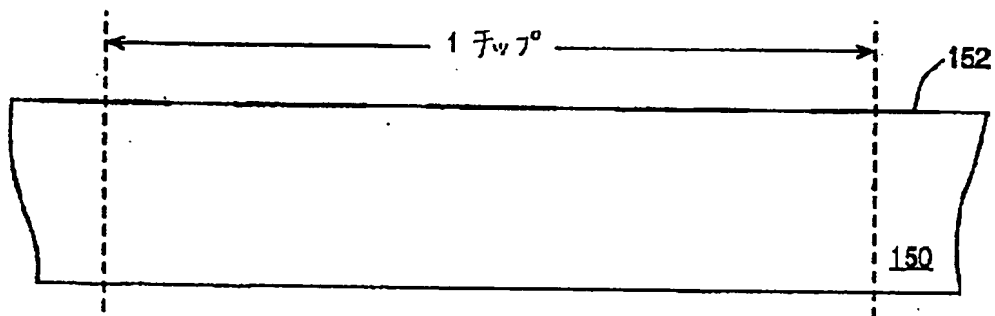


FIG. 4A

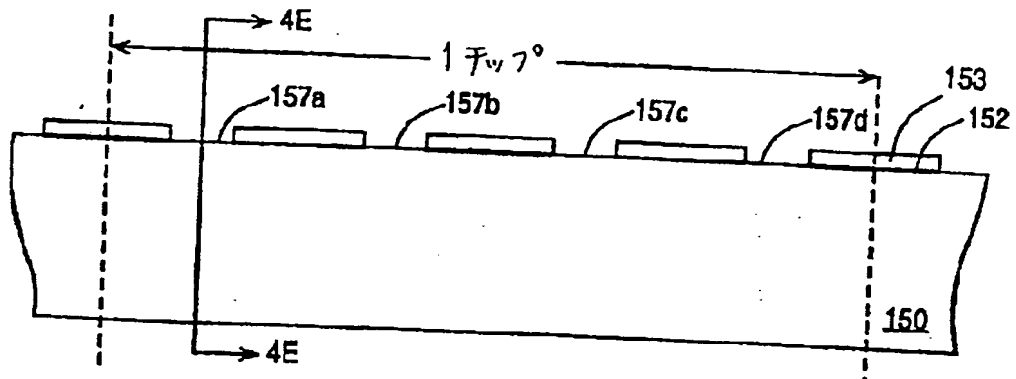
【 図 4 B 】



【 図 4 C 】



【 図 4 D 】



【 図 4 E 】

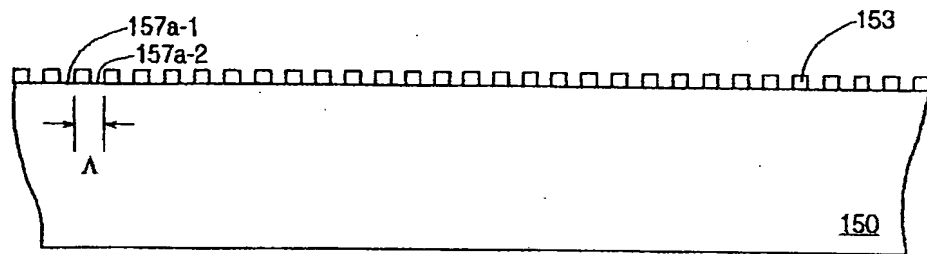
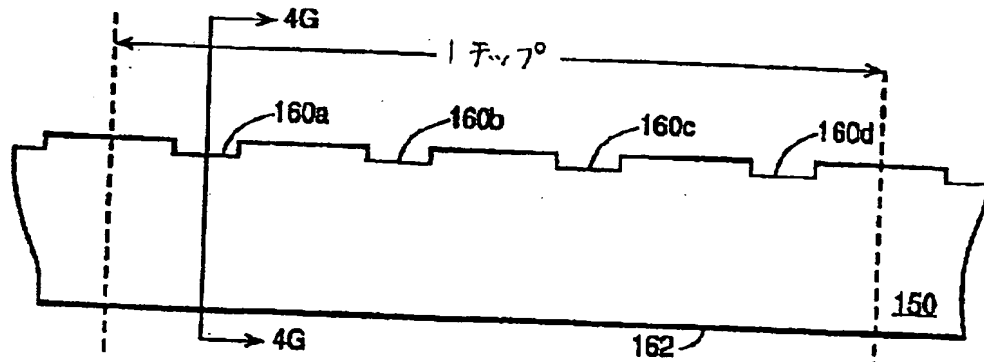


FIG. 4E

【 図 4 F 】



【 図 4 G 】

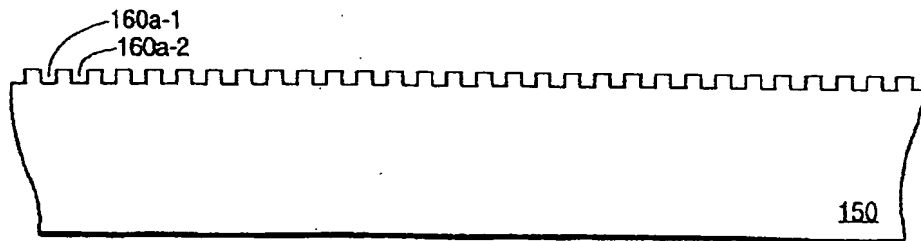


FIG. 4G

【 図 5 A 】

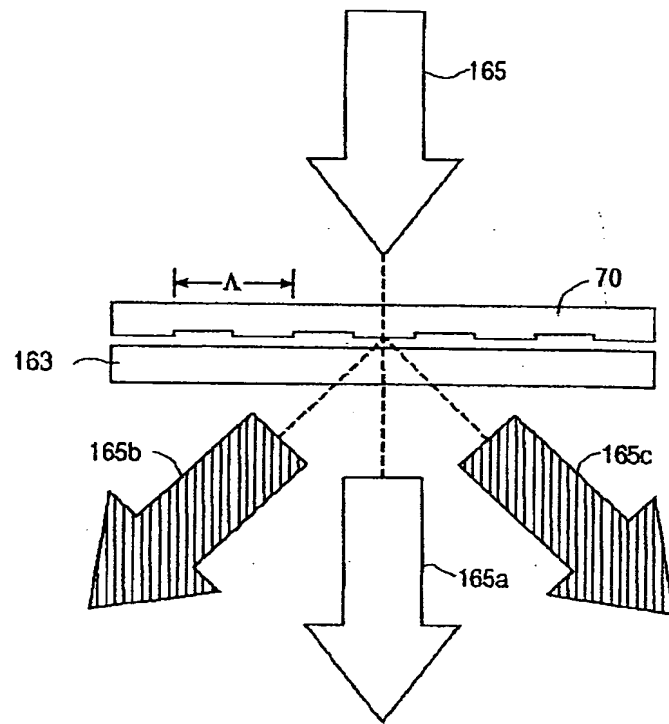


FIG. 5A

【 図 5 B 】

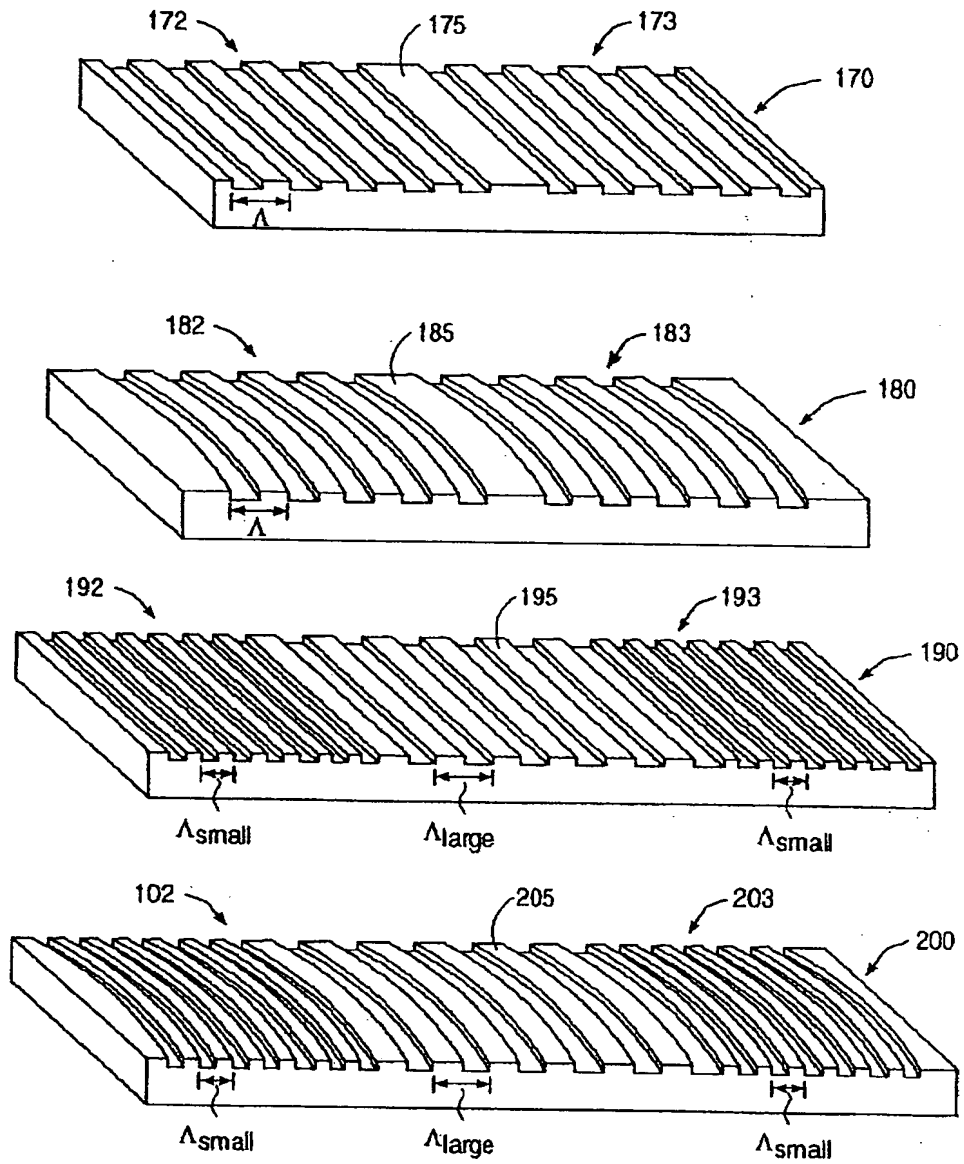
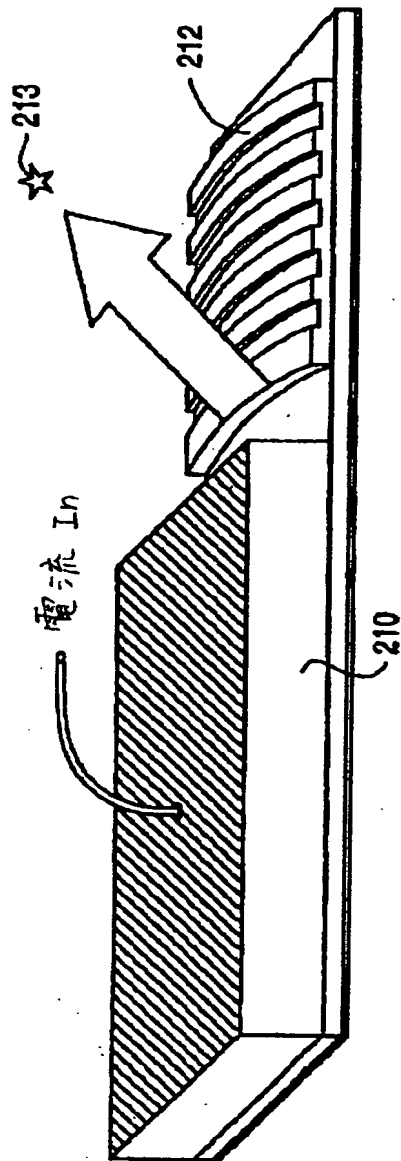
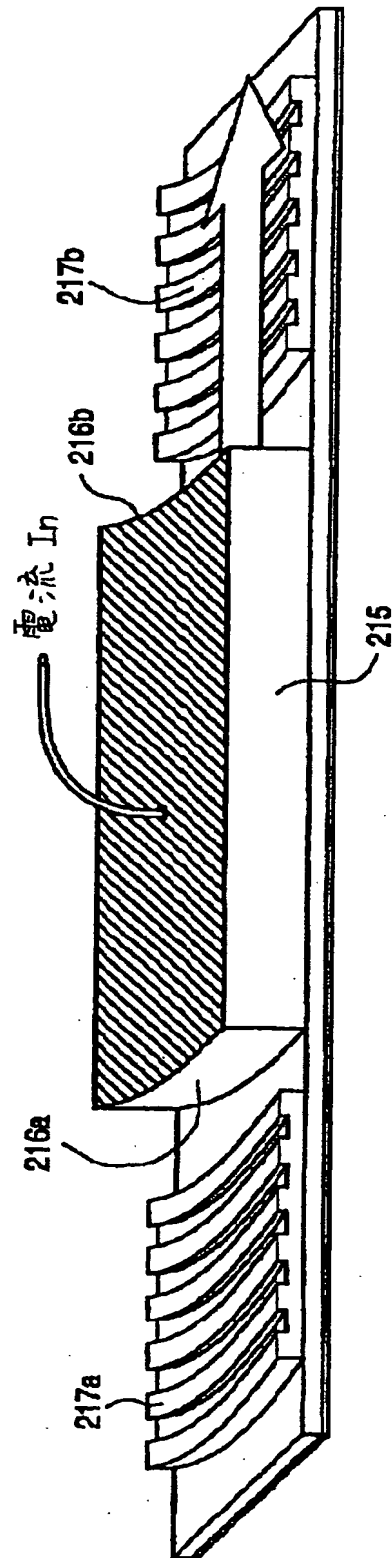


FIG. 5B

【 図 5 C 】



【 図 5 D 】



【 図 6 A 】

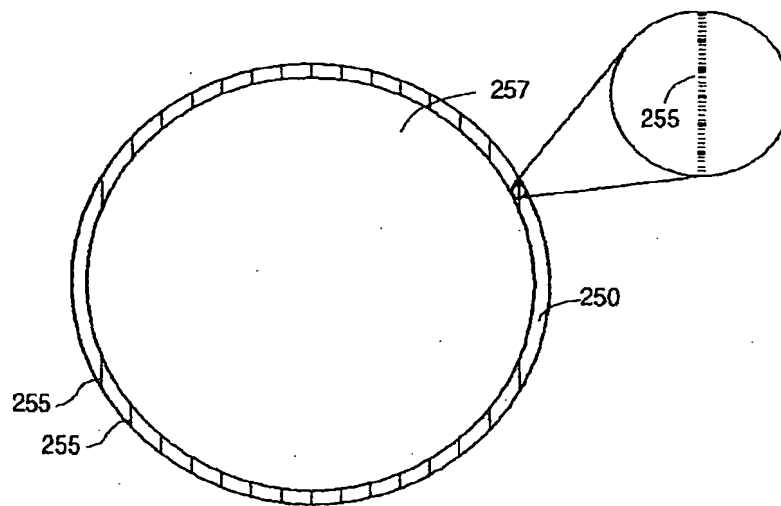


FIG. 6A

【 図 6 B 】

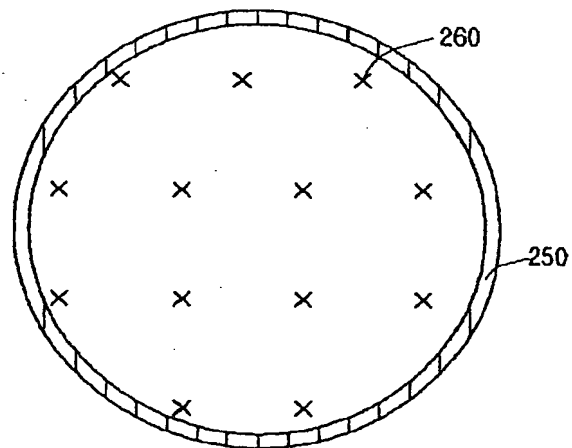
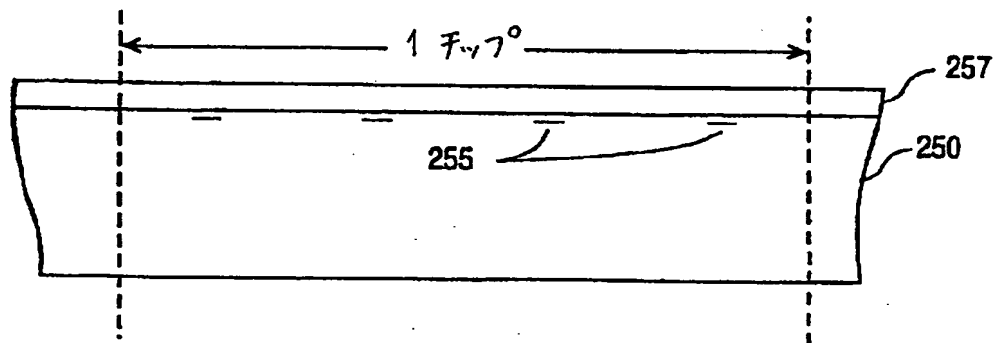


FIG. 6B

【 図 6 C 】



【 図 6 D 】

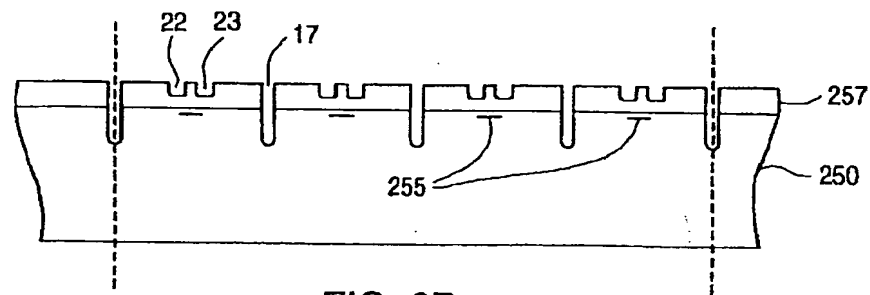


FIG. 6D

【 図 6 E 】

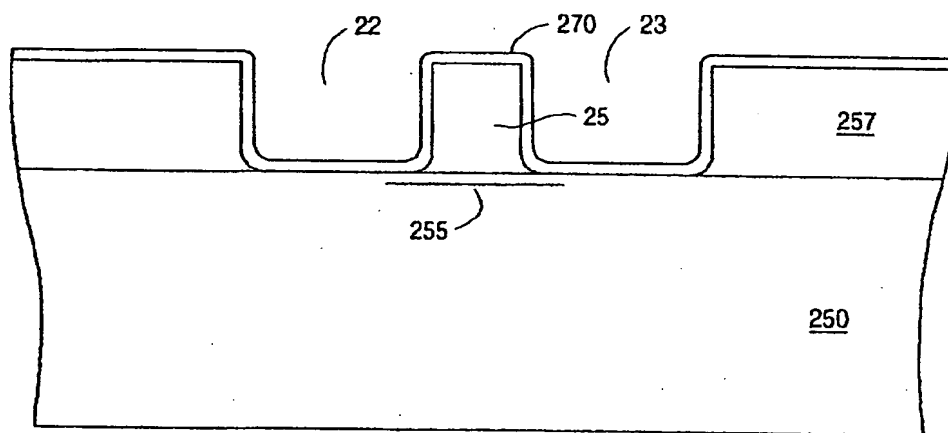


FIG. 6E

【 図 6 F 】

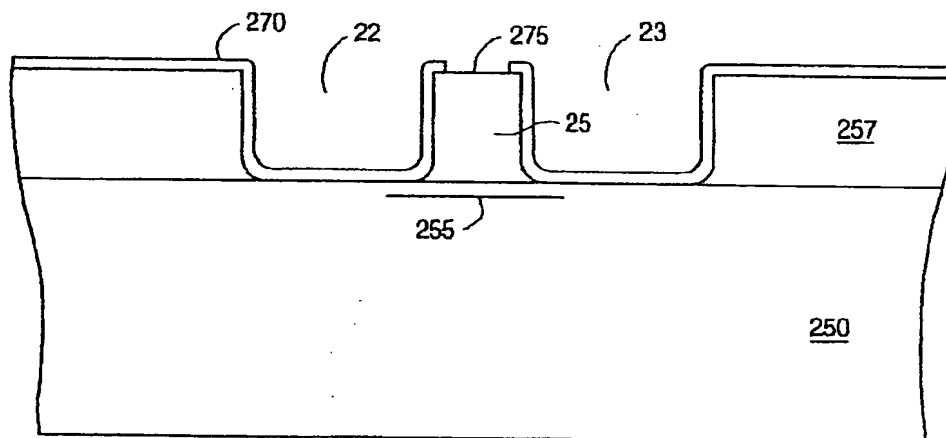


FIG. 6F

【 図 6 G 】

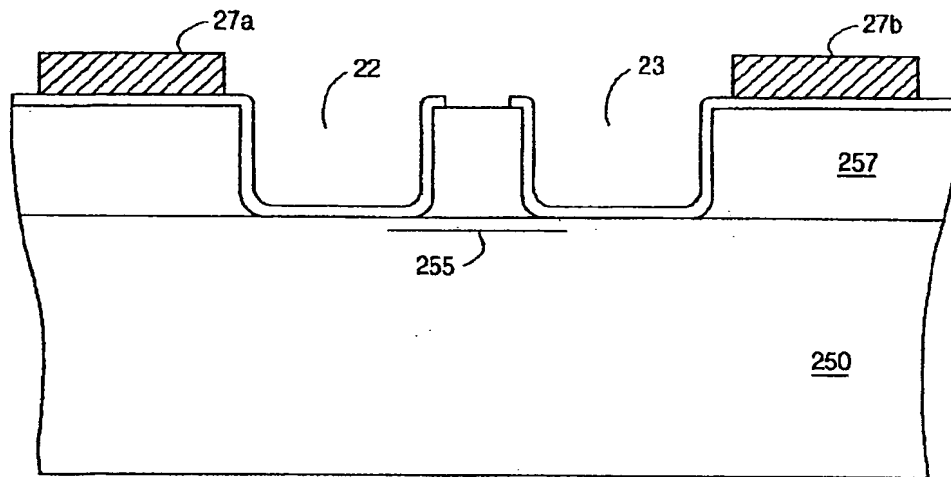


FIG. 6G

【 図 6 H 】

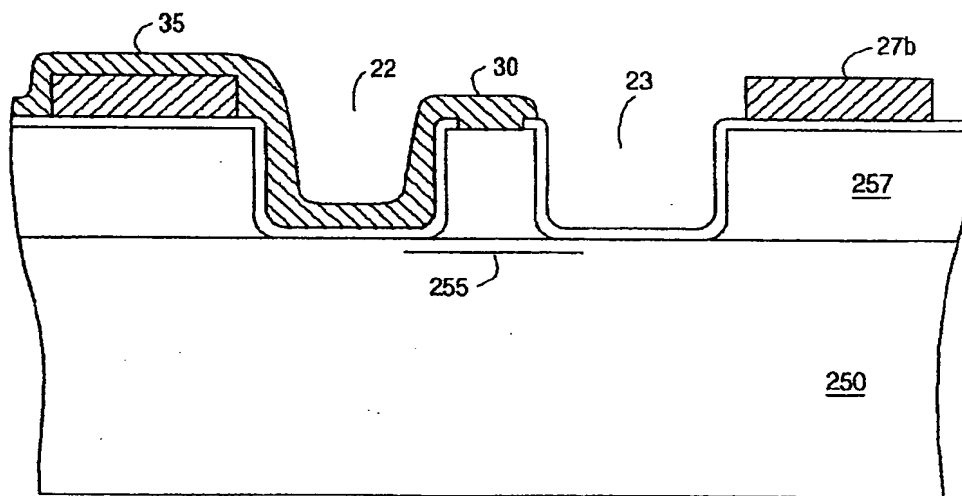
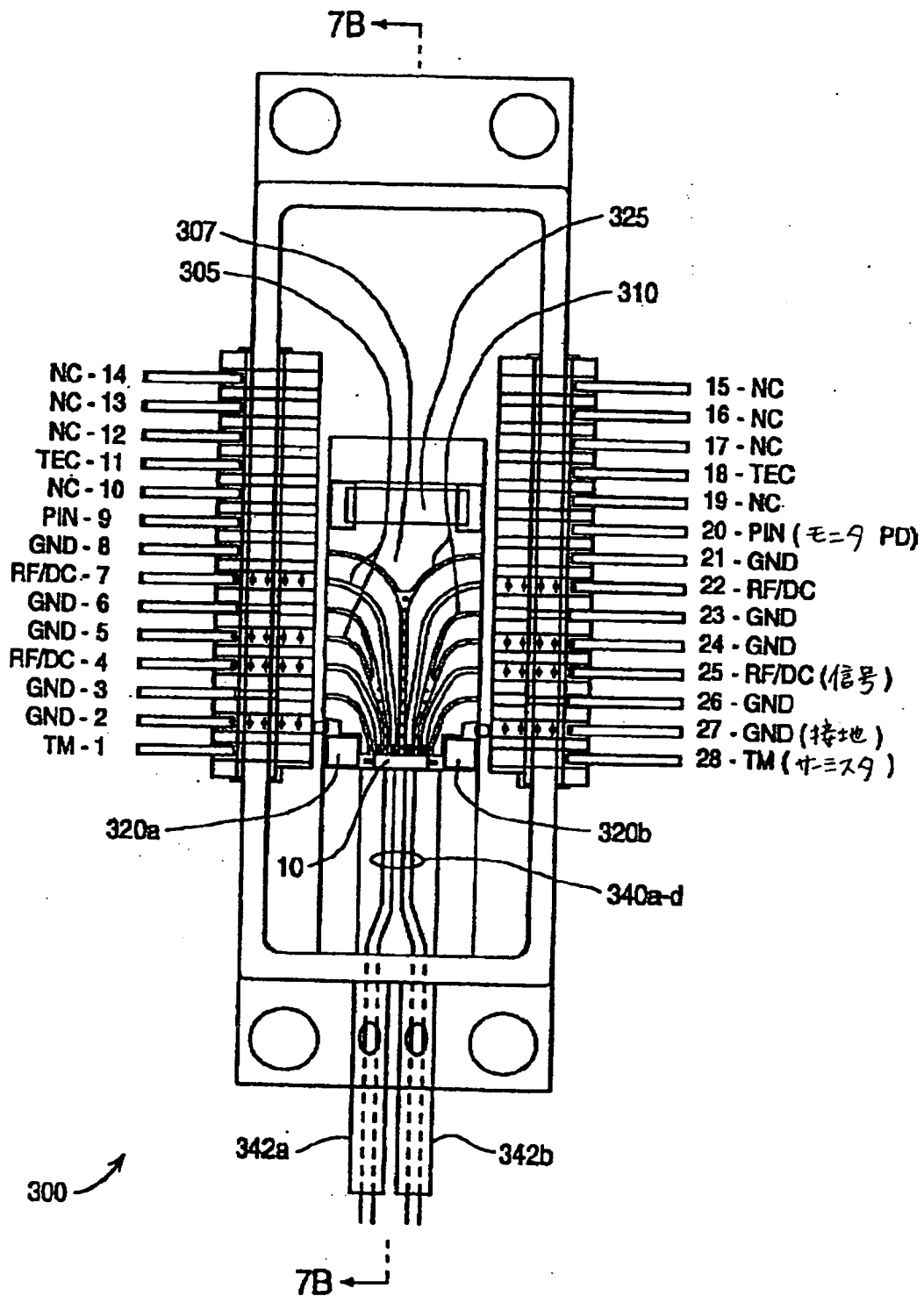


FIG. 6H

【 図 7 A 】



【 図 7 B 】

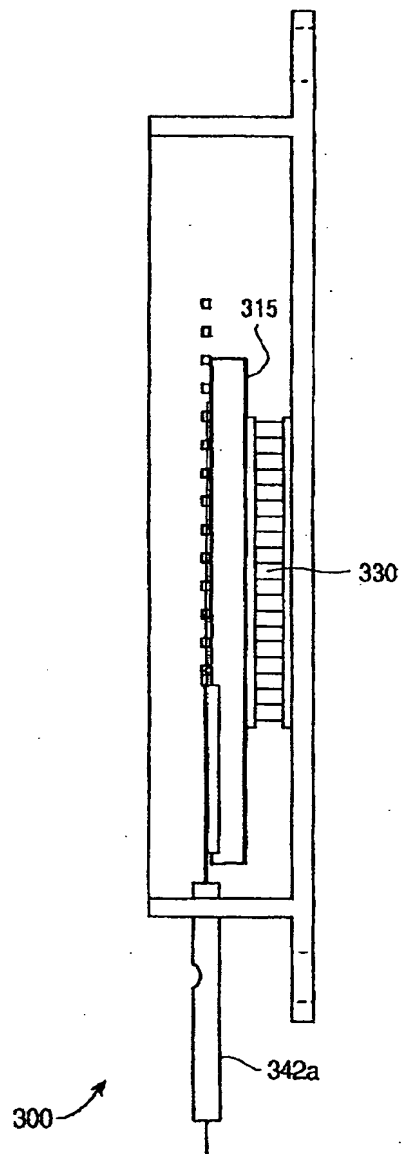


FIG. 7B

【 図 7 C 】

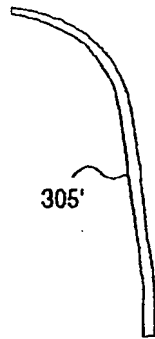


FIG. 7C

【 図 7 D 】

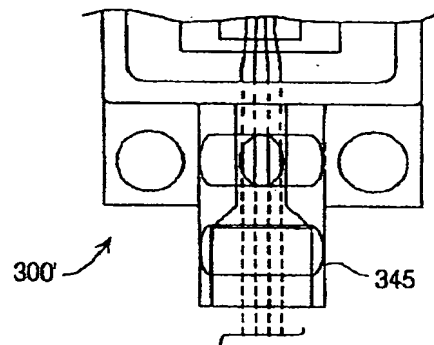


FIG. 7D

【 図 8 A 】

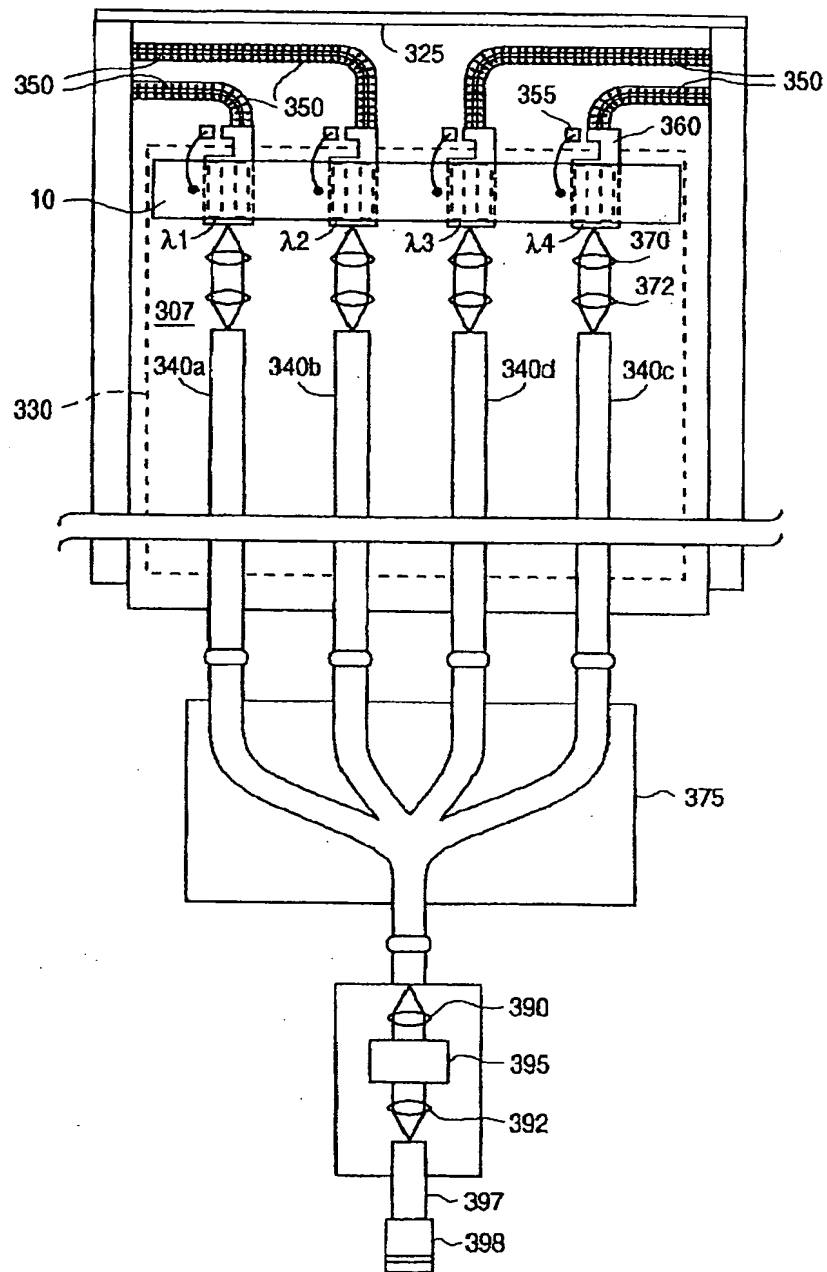


FIG. 8A

【 図 8 B 】

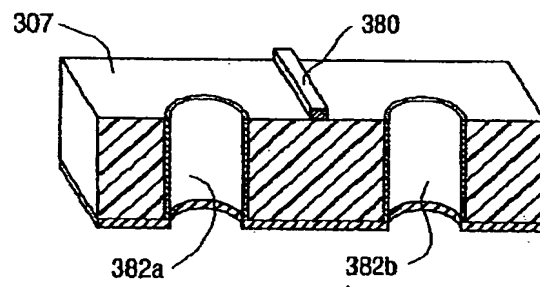


FIG. 8B

【 図 8 C 】

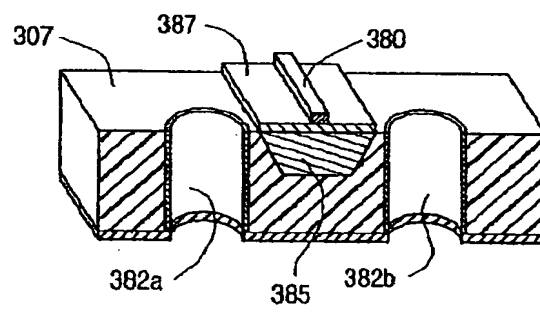


FIG. 8C

【 図 8 D 】

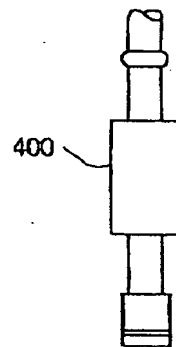


FIG. 8D

【 図 9 】

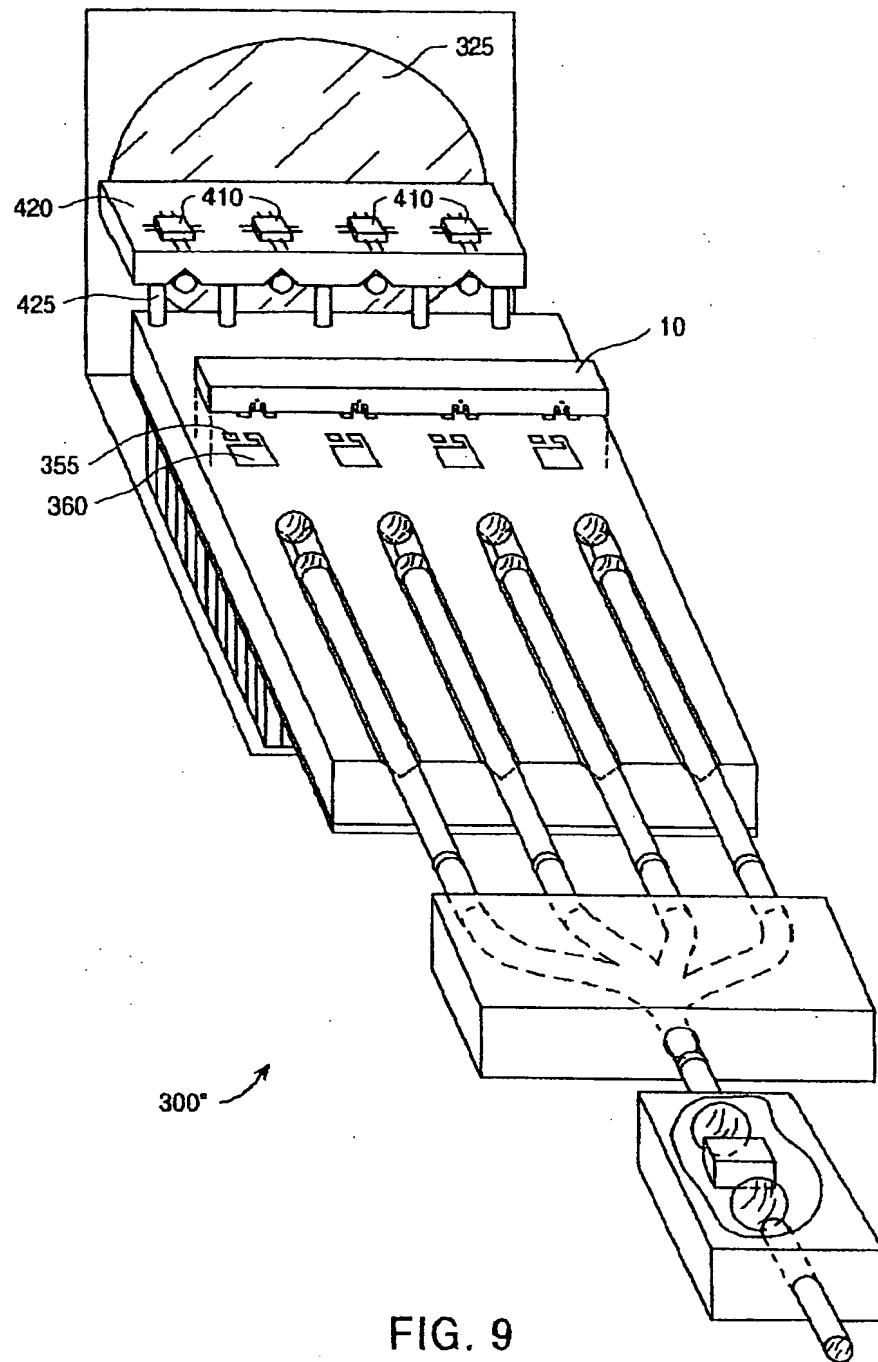
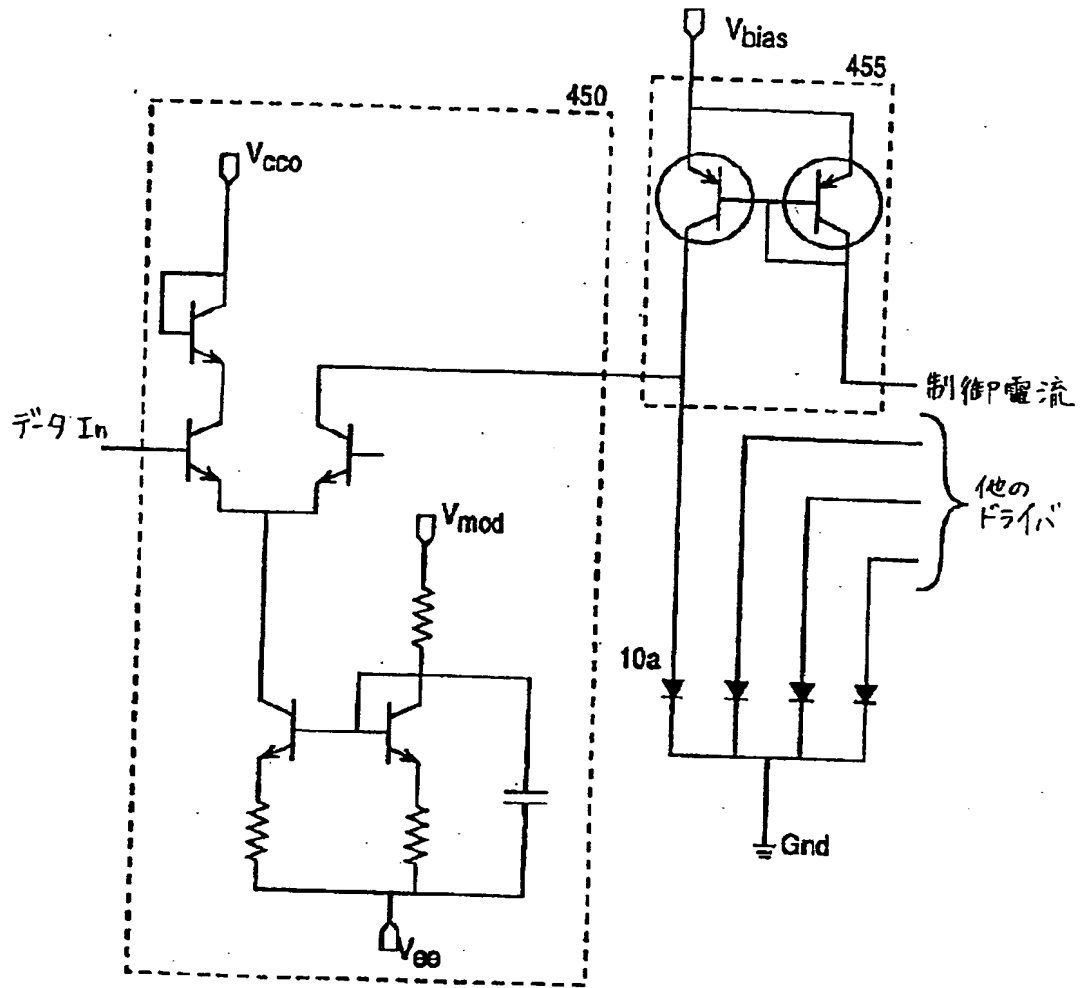


FIG. 9

【 図 10 A 】



【 図 10 B 】

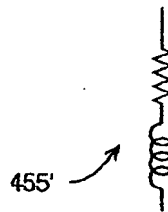
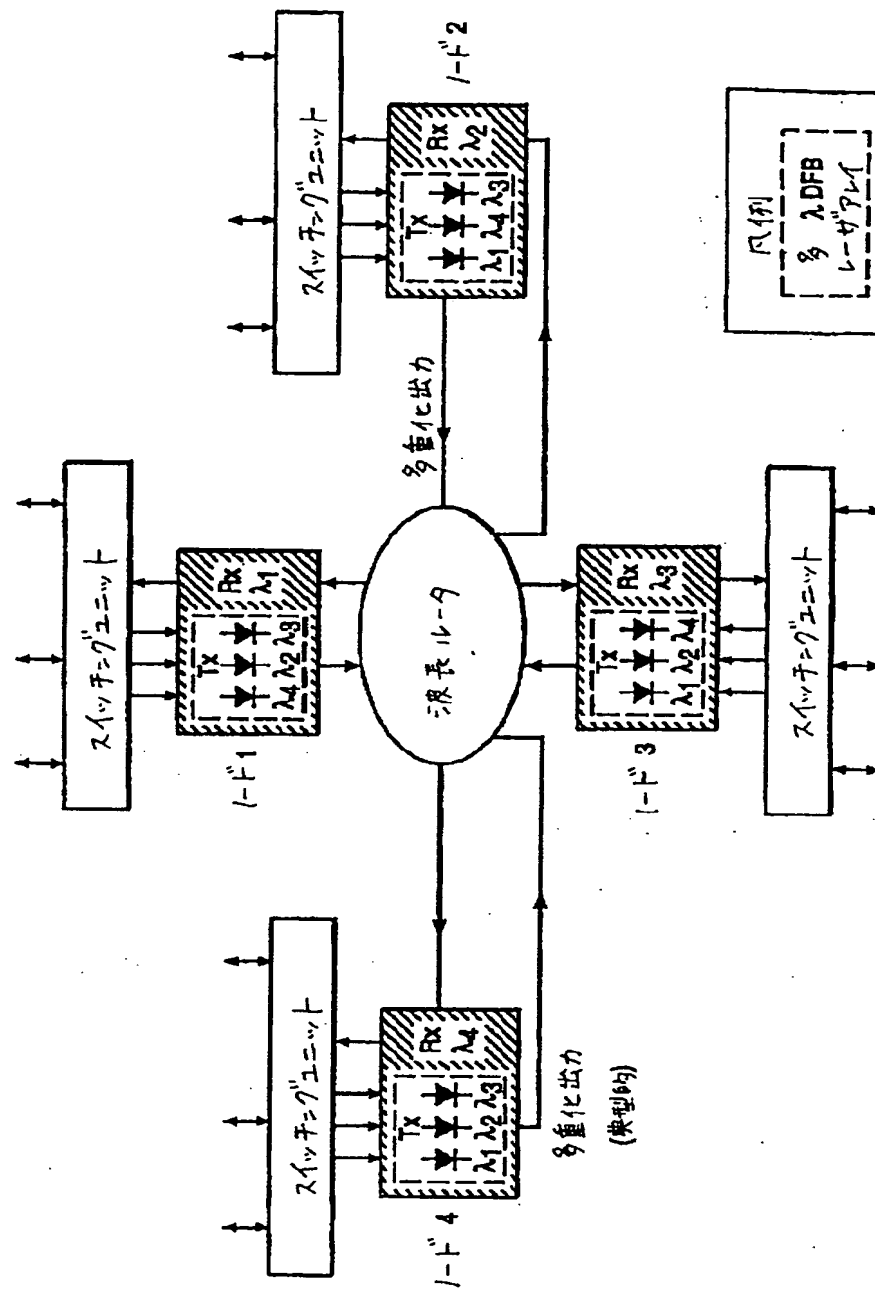


FIG. 10B

【 図 1 2 】



【手続補正書】

【提出日】平成12年5月19日(2000.5.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 特定の波長の光とともに使用される位相マスクを形成する方法であって、

上に位相シフト材料層を有する基板を設ける工程と、

該位相シフト材料層をレジスト材料でコーティングする工程と、

電子ビームまたはイオンビームリソグラフィを用いて該レジスト材料をパターンニングし、サブミクロンピッチのマスクグレーティングパターンを規定する工程と、

露光された位相シフト材料をエッチングして、基板材料を露出するステップと、

該レジスト材料を除去して、該マスクグレーティングパターンに従った、露出された基板材料の領域と交互になる位相シフト材料の領域を現す工程と、を包含する、方法。

【請求項2】 前記位相シフト材料層が、前記基板と、位相シフト材料の所与の領域とを通過する前記特定の波長の光の位相を、露出された基板の隣接する領域を通過する該特定の波長の光の位相と180度ずらす、請求項1に記載の方法。

【請求項3】 前記レジスト材料が、多層構造である、請求項1に記載の方法。

【請求項4】 前記マスクグレーティングパターンが、複数のマスクグレーティングピッチを含む、請求項1に記載の方法。

【請求項5】 前記複数のマスクグレーティングピッチが、前記位相マスク

の別個の領域にある、請求項4に記載の方法。

【請求項6】 前記マスクグレーティングパターンが、前記マスクグレーティングピッチの半分に対応する位相シフトを含む、請求項1に記載の方法。

【請求項7】 前記マスクグレーティングパターンが、連続的に変化するピッチの少なくとも1つのカーブグレーティングパターンまたは少なくとも1つのグレーティングを含む、請求項1に記載の方法。

【請求項8】 前記パターンニング工程が、サブフィールドおよびフィールドステッチングエラーを減らすために、部分照射線量での多数のパスを用いて行われる、請求項1に記載の方法。

【請求項9】 前記エッチング工程が、塩素および酸素を含むガス混合物を用いて、前記露光された位相シフト材料のサブミクロン異方性反応性イオン（マグネトロン増強）エッチングを行う工程を包含する、請求項1に記載の方法。

【請求項10】 前記ガス混合物が、80%～90%の塩素と、10%～20%の酸素とを含む、請求項9に記載の方法。

【請求項11】 前記レジスト材料がゲルマニウムを含み、
前記パターンニング工程が、脱イオン水を用いて自然酸化ゲルマニウムを除去し、その後に、四フッ化炭素ガスを用いてゲルマニウムの等方性反応性イオンエッチングを行う工程を包含する、請求項1に記載の方法。

【請求項12】 前記レジスト材料がシリコンを含み、
前記パターンニング工程が、四フッ化炭素ガスを用いてシリコンの等方性反応性イオンエッチングを行う工程を包含する、請求項1に記載の方法。

【請求項13】 前記パターンニング工程が、酸素ガスを用いて前記レジスト材料をエッチングする工程を包含する、請求項1に記載の方法。

【請求項14】 前記サブミクロンピッチが、400nm未満である、請求項1に記載の方法。

【請求項15】 特定の波長の光とともに使用される位相マスクを形成する方法であって、

基板を設ける工程と、

該基板をレジスト材料でコーティングする工程と、

電子ビームまたはイオンビームリソグラフィを用いて該レジスト材料をパターンニングし、サブミクロンピッチのマスクグレーティングパターンを規定する工程と、

該露光された基板を、特定の深さまでエッチングする工程と、

該レジスト材料を除去して、該マスクグレーティングパターンに従った、エッチングされていない基板材料の領域と交互になるエッチングされた基板の領域を現す工程と、を包含し、

該特定の深さが、エッチングされた基板の所与の領域を通過する該特定の波長の光の位相が、エッチングされていない基板の隣接する領域を通過する該特定の波長の光の位相と180度ずれるような深さである、方法。

【請求項16】 前記レジスト材料が、多層構造である、請求項15に記載の方法。

【請求項17】 前記マスクグレーティングパターンが、複数のマスクグレーティングピッチを含む、請求項15に記載の方法。

【請求項18】 前記複数のマスクグレーティングピッチが、前記位相マスクの別個の領域にある、請求項17に記載の方法。

【請求項19】 前記マスクグレーティングパターンが、前記マスクグレーティングピッチの半分に対応する位相シフトを含む、請求項15に記載の方法。

【請求項20】 前記マスクグレーティングパターンが、少なくとも1つのカーブグレーティングパターンを含む、請求項15に記載の方法。

【請求項21】 前記パターンニング工程が、サブフィールドおよびフィールドステッチングエラーを減らすために、部分照射線量での多数のパスを用いて行われる、請求項15に記載の方法。

【請求項22】 前記エッチング工程が、四フッ化炭素およびアルゴンを含むガス混合物を用いて反応性イオンエッチングを包含する、請求項15に記載の方法。

【請求項23】 前記ガス混合物が、95%～98%の四フッ化炭素および2%～5%のアルゴンを含む、請求項15に記載の方法。

【請求項24】 半導体光学装置において所望の装置グレーティング構造を

製造する方法であって、該装置グレーティング構造は、1つ以上の所望のピッチ値に特徴づけられる特徴を有し、該方法は、

該所望の装置グレーティング構造に対応する特徴であって、1つ以上のピッチ値に特徴づけられる特徴を有する対応するマスクグレーティング構造を有する位相マスクを提供する工程を包含し、該マスクグレーティング構造の各ピッチ値は、該所望の装置グレーティング構造の対応するピッチ値の2倍であり、

該マスクグレーティング構造の特徴は、交互の第1および第2の光学的厚さを有する交互の領域によって規定され、

該半導体装置の少なくとも部分が形成される基板を設ける工程をさらに包含し、該基板は、フォトレジスト材料で覆われ、

該基板に近接してまたは接して該位相マスクを堆積させる工程と、

該位相マスクに、特定の波長の垂直に入射する光を照射して、該基板上の該フォトレジストを露光する工程と、をさらに包含し、

該特定の波長は、該位相マスクの該交互の領域の1つを通過する該特定の波長の光の位相と、該位相マスクの該交互の領域の隣接する領域を通過する光の波長とが、180度ずれるような波長であり、

該フォトレジストに当たる光が、該マスクグレーティング特徴の対応するピッチ値の半分のピッチ値を有する強度分布に特徴づけられ、該強度分布が、該所望の装置グレーティング構造に対応し、

該フォトレジストを現像する工程と、

該基板をエッチングして、該基板上に該所望の装置グレーティング構造を与える工程と、をさらに包含する、方法。

【請求項25】 前記位相マスク特徴が、(a) 基板材料上の位相シフト材料と、(b) 位相シフト材料のない該基板材料と、の交互の領域によって規定される、請求項24に記載の方法。

【請求項26】 前記位相マスク特徴が、マスク材料のエッチングされていない領域と交互になる該マスク材料のエッチングされた領域により規定される、請求項24に記載の方法。

【請求項27】 前記所望の装置グレーティング構造の各ピッチ値が、20

0nm未満である、請求項24に記載の方法。

【請求項28】 前記垂直に入射する光が、コヒーレントである、請求項24に記載の方法。

【請求項29】 前記垂直に入射する光が、インコヒーレントである、請求項24に記載の方法。

【請求項30】 カーブ面を有するレーザダイオードと組み合わせて、請求項24に記載の方法によって製造されるカーブグレーティングを含む、高出力不安定共振器レーザ。

【請求項31】 遠隔光ファイバ内に光を放出するための垂直に集束するレーザであって、レーザダイオードと組み合わせて、請求項24に記載の方法に従って製造されるカーブグレーティングを含む、レーザ。

【請求項32】 半導体基板と、該基板上に形成される多層レーザ構造とを有する半導体レーザダイオードチップを製造する方法において、改良が、プラズマ増強CVDプロセスを用いて、低応力で密な低水素含有量の窒化ケイ素層を生成する工程を包含する、方法。

【請求項33】 半導体基板と、該基板上に形成される多層レーザ構造とを有する半導体レーザダイオードチップを製造する方法において、改良が、絶縁層として有機シクロテン層を生成する工程を包含する、方法。

【請求項34】 p-ドーフト半導体への確実な金属含有量を確立する方法であって、

チタン、窒化チタン、白金、および金の層を順次堆積させる工程を包含する、方法。

【請求項35】 n-ドーフト半導体材料への確実な金属含有量を確立する方法であって、ニッケル、ゲルマニウム、金、ニッケル、銀、および金の層を順次堆積させる工程を包含する、方法。

【請求項36】 n-ドーフト半導体材料への確実な金属含有量を確立する方法であって、ゲルマニウム、金、ニッケル、タングステンシリサイド、チタン、および金の層を順次堆積させる工程を包含する、方法。

【請求項37】 少なくとも1つの光透過面を有する半導体レーザの製造に

において、低電力広面積アルゴンイオンビームを用いて、または、低エネルギー低圧電子サイクロトロン共鳴を用いて、該面上の自然酸化物を除去し、連続的な水素、窒素およびアルゴンプラズマを生成する工程を包含する、改良。

【請求項38】 レーザダイオードチップであって、
半導体基板と、

該基板上に形成される多層レーザ構造と、を含み、該レーザ構造は、間にリッジ導波管を規定する第1および第2の間隔がつけられたトレンチを有する上面により境界が定められ、該リッジ導波管は、光伝搬方向に沿って延び、

該外面上で、該トレンチに近接する場所に形成され、該トレンチによって該リッジ導波管から分離される第1および第2の金属ショルダをさらに含み、該ショルダは、該上面の上に延びて、該リッジ導波管を保護する、レーザダイオードチップ。

【請求項39】 前記レーザ構造が、前記リッジ導波管の下に配置されるグレーティングを含み、該グレーティングが前記上面に平行な平面に配置され、前記光伝搬方向に垂直な方向に延びるグレーティングラインを有する、請求項38に記載のレーザダイオードチップ。

【請求項40】 前記レーザグレーティング構造が、グレーティングピッチの半分に対応する位相シフト領域を含む、請求項39に記載のレーザダイオードチップ。

【請求項41】 前記基板上に形成される別のレーザ構造をさらに含み、該別のレーザ構造は、別のリッジ導波管と、該別のリッジ導波管の下に配置される別のグレーティングと、を含み、該別のグレーティングが、最初に述べたグレーティングとは異なるピッチを有する、請求項39に記載のレーザダイオードチップ。

【請求項42】 Ta_2O_5 （酸化タンタル）および Al_2O_3 （酸化アルミニウム）を含むレーザダイオード面のための反射防止コーティング。

【請求項43】 レーザチップモジュールであって、
ハウジングを含み、該ハウジングは、該ハウジングの外側から該ハウジング内部に信号を伝達するための複数のピンを有し、

該ハウジングに取り付けられる誘電体基板をさらに含み、該基板は、上面と、メタライズされた下面とを有し、

該基板の該上面に取り付けられるレーザチップと、

該基板の該上面上の第1および第2の導電信号线と、をさらに含み、該信号線は、特定の第1および第2の入力ピンから、該レーザチップのそれぞれの場所または該レーザチップ付近のそれぞれの場所まで延び、

該基板は、該メタライズされた下面に電氣的に接続されるメタライズされたバイアホールを有するように形成され、該バイアホールは、該信号線の各々が両側に複数のバイアホールを有し、且つ、該バイアホールの少なくとも幾つかが該信号線の間に配置されるように、パターンを形成し、

該基板の上に配置され、該バイアホールによって該メタライズされた下面に電氣的に接続される金属構造をさらに含む、レーザチップモジュール。

【請求項44】 前記伝送線が、一定の幅である、請求項43に記載のレーザチップモジュール。

【請求項45】 前記金属構造が、前記基板上のメタライズされたトレースであって、前記バイアホールに接触するトレースを含む、請求項43に記載のレーザチップモジュール。

【請求項46】 前記メタライズされたトレースが、一定の幅である、請求項44に記載のレーザチップモジュール。

【請求項47】 前記メタライズされたトレースの少なくとも1つが、テープ状である、請求項44に記載のレーザチップモジュール。

【請求項48】 前記バイアホールのパターンが、前記信号線の各々に沿って分布されるバイアホール対を含み、

前記金属構造が、該信号線の一方側のそれぞれのバイアホールから、該信号線の他方側のそれぞれのバイアホールまで延びるワイヤアーチを含む、請求項43に記載のレーザチップモジュール。

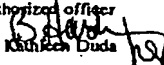
【請求項49】 レーザダイオードの数が、8個以上である、請求項43に記載のレーザチップモジュール。

【請求項50】 ファイバオプティックリンクによって接続されるノードを

含むネットワークであって、少なくとも1つのリンクは、WDM機器を有するノードで終端され、改良において、端末機器が、該WDM機器に光結合され、

複数の波長の独立して変調される光を提供するための多波長リッジレーザダイオードアレイチップを有する多波長レーザモジュールを含む、ネットワーク。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US98/19178
A. CLASSIFICATION OF SUBJECT MATTER IPC(6) : G03F 7/00; 1/00, 9/00; H01L 23/02; H01S 3/00, 3/19 US CL : Please See Extra Sheet. According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : G03F 7/00, 1/00, 9/00; H01L 23/02; H01S 3/00, 319, 430/5, 296, 313, 323, 329, 945; 250/492.3; 257/678, 701; 372/92, 109 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched none Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) APS		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US, A, 5,244,759 (PIERRAT) 14 September 1993, abstract, column 4, line 30 to column 6, line 39.	1-23
X	US, A, 5,260,152 (SHIMIZU ET AL) 09 November 1993, abstract and embodiments.	1-23
Y	US, A, 5,287,001 (BUCHMANN ET AL) 15 February 1994, abstract, column 5, line 51 to column 6, line 62.	43-49
Y	US, A, 5,357,536 (ANDREWS) 18 October 1994, abstract, column 6, lines 26-42, column 7, lines 55-68.	38-41
Y	US, A, 5,651,016 (YU ET AL) 22 July 1997, example 1.	38-41
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 23 JANUARY 1999		Date of mailing of the international search report 16 FEB 1999
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer  Kathleen Duda Telephone No. (703) 308-0661

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US98/19178

Box I Observations where certain claims were found unsearchable (Continuation of Item 1 of first sheet)

This international report has not been established in respect of certain claims under Article 17(2)(e) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of Item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Please See Extra Sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☒ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
1-23, 38-41 and 43-49.
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US98/19178

A. CLASSIFICATION OF SUBJECT MATTER:
US CL :

430/5, 296, 313, 323, 329, 945; 250/492.3; 257/678, 701; 372/92, 109

BOX II. OBSERVATIONS WHERE UNITY OF INVENTION WAS LACKING

This ISA found multiple inventions as follows:

Group I:	claims 1-23 drawn to a method of making a mask.
Group II:	claims 24-29 drawn to a method of making a device using a mask.
Group III:	claims 30 and 31 drawn to a laser.
Group IV:	claim 32 drawn to a method of making a chip.
Group V:	claim 33 drawn to a method of making a chip.
Group VI:	claims 34-36 drawn to a method of establishing metallic content.
Group VII:	claim 37 drawn to a method of making a laser.
Group VIII:	claims 38-41 drawn to a chip.
Group IX:	claim 42 drawn to an antireflection coating.
Group X:	claims 43-49 drawn to a module.
Group XI:	claim 50 drawn to network nodes.

フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 3 F 7/40	5 2 1	H 0 1 L 21/302	B
(31) 優先権主張番号	0 9 / 0 3 1, 4 9 6		
(32) 優先日	平成10年 2 月 26 日 (1998. 2. 26)		
(33) 優先権主張国	米国 (US)		
(81) 指定国	EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CA, JP, US		
F ターム (参考)	2H095 BB03 BB09 BB10 2H096 AA25 AA28 EA06 EA08 EA23 HA23 2H097 AA03 CA11 CA16 LA10 LA17 5F004 BA04 BA11 BA13 BA14 DA00 DA01 DA04 DA23 DA24 DA25 DA26 DB19 DB22 EB04 5F073 AA22 AA45 AA64 AA74 AA77 AB06 BA02 CA07 CA12 CB22 DA25		